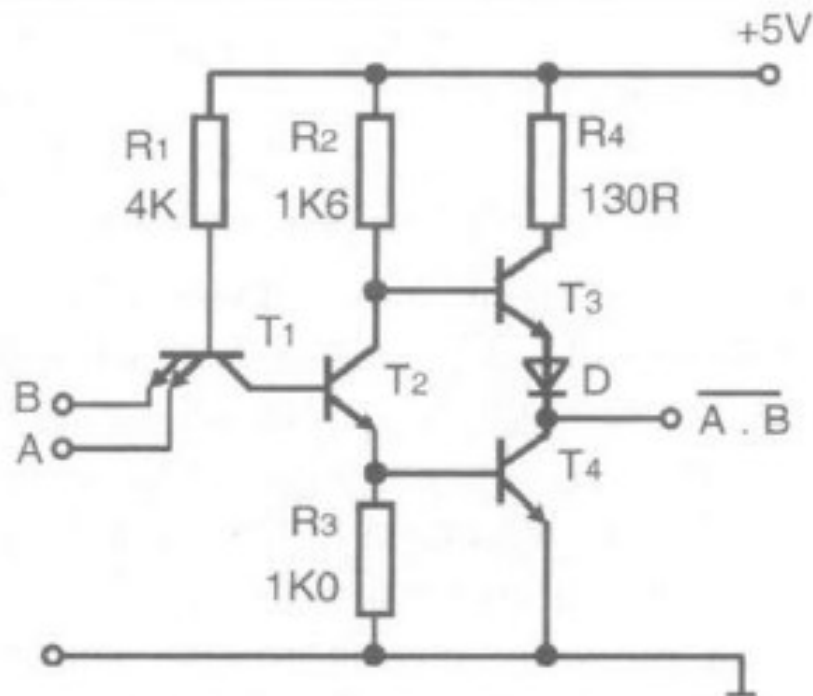


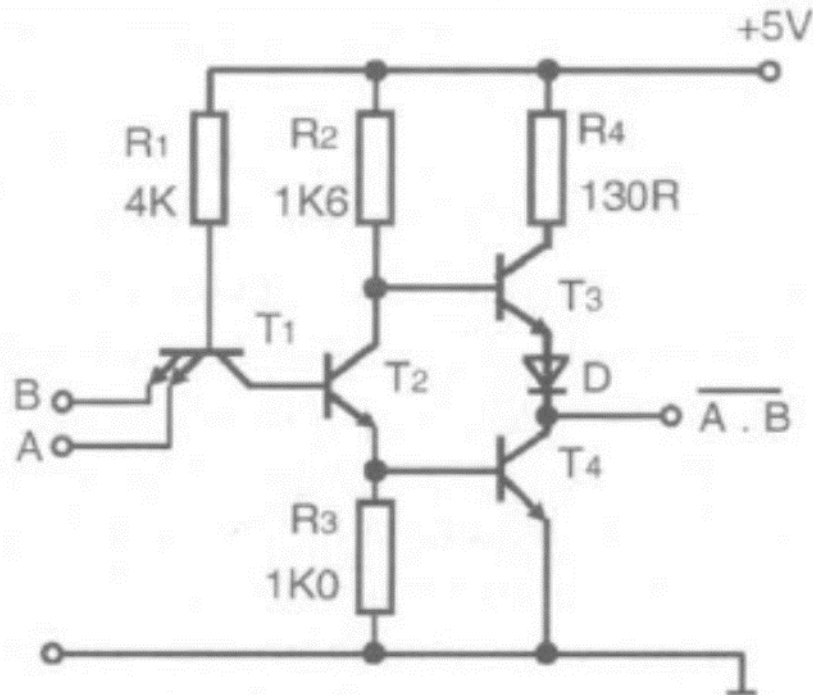
Logická zapojení TTL

Hradlo NAND



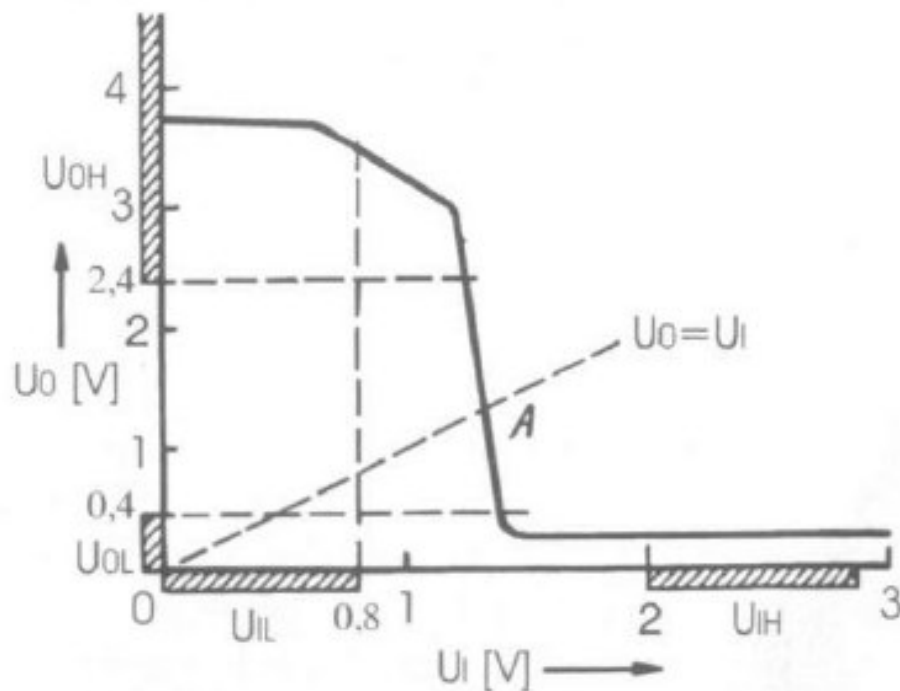
Na vstupu NAND TTL hradla je víceemitorový tranzistor pro realizaci logického součinu. Pokud je alespoň jeden ze vstupů A nebo B na logické nule je T_1 otevřen a teče jím emitorový proud do vnějšího obvodu. T_1 je tak v saturaci s velmi malým napětím U_{CE} . T_2 je pak uzavřen a proto je uzavřen i T_4 . Přes R_2 prochází do báze T_3 proud A na výstupu je napětí odpovídající logická 1.

Hradlo NAND



Pokud je na obou vstupech logická jednička, jsou emitorové přechody uzavřeny a přechod báze kolektor T1 se chová jako propustně pólovaná dioda. T1 pracuje tak inverzním režimu a je otevřený. Díky proudu mezi bází a kolektorem T1, který vstupuje do báze T2, se T2 otevře do saturace a díky úbytku napětí na R3 se otevře T4. Protože je mezi kolektorem a emitorem T2 mále saturační napětí je T3 uzavřen. K jeho uzavření Ještě více přispívá dioda D. Na výstupu je pak logická 0.

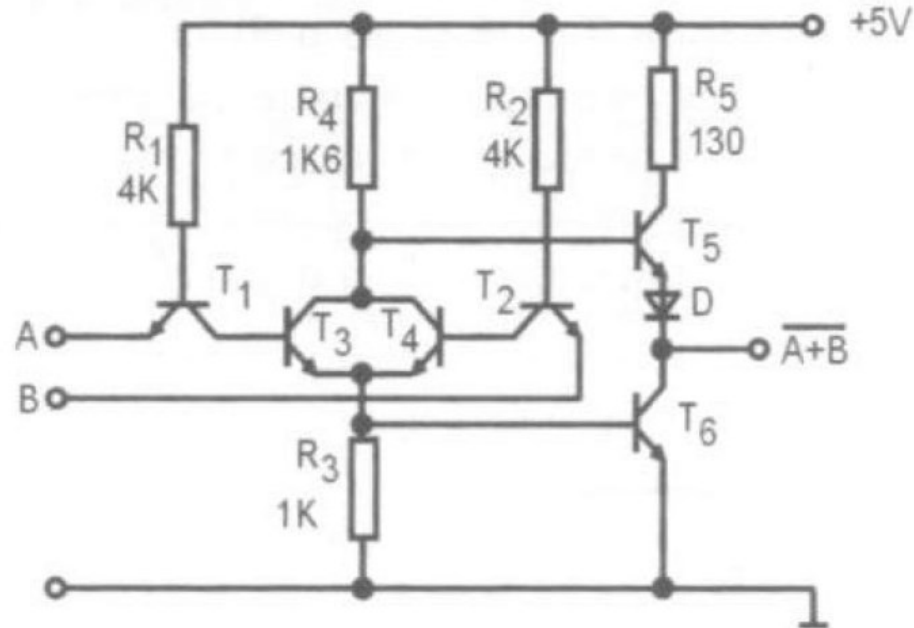
Hradlo NAND



Převodní charakteristika standardního hradla TTL s vyznačením tolerancí napěťových úrovní

Bod A na charakteristice odpovídá skutečné rozhodovací úrovni, kdy $U_O = U_I$.

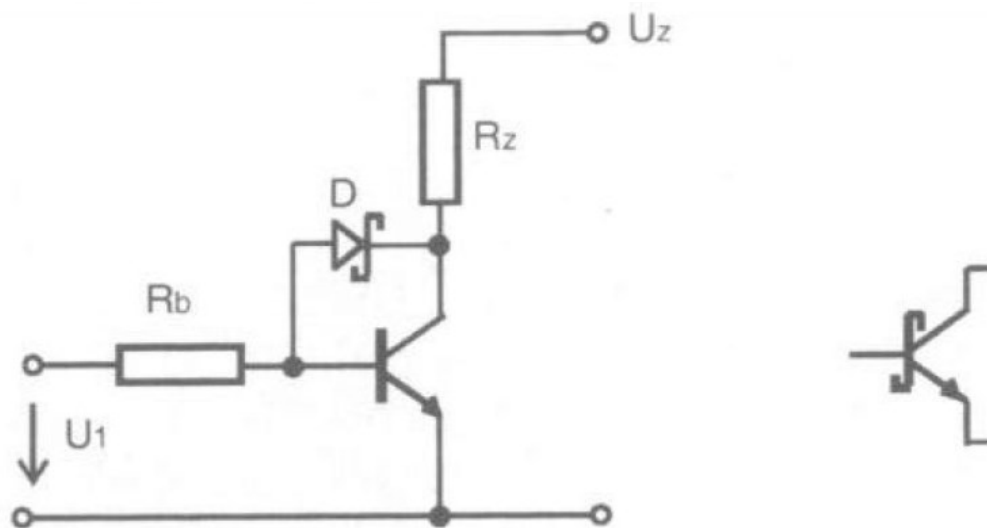
Hradlo NOR

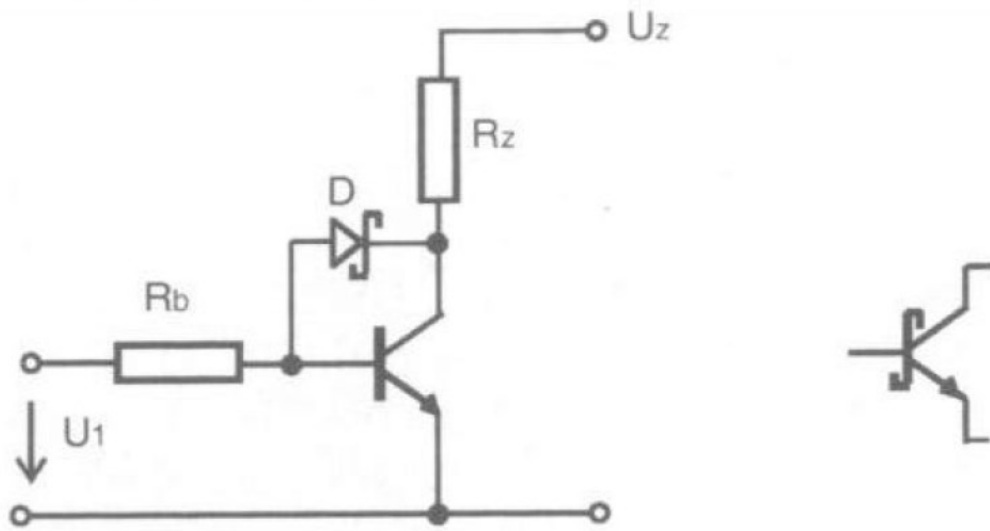


V případě že jsou na obou vstupech A a B logické nuly, jsou T_1 a T_2 v saturaci a T_3 a T_4 zavřeny. Na výstupu je logická jednička, protože T_6 je zavřený a na bázi a emitoru T_5 je napětí o úrovni logické jedničky. Jestliže je alespoň na jednom vstupu logická jednička, uzavře se přechod báze-emitor T_1 nebo T_2 a otevře se přechod báze-kolektor T_1 nebo T_2 a otevře se tak T_3 nebo T_4 . Tím se otevře T_6 , uzavře T_5 a na výstupu se objeví logická nula.

Modifikace členů TTL

Tranzistory v TTL obvodech pracují ve spínacím režimu, tedy jsou v nevodivém nebo saturačním stavu. Stav hluboké saturace je omezující z hlediska dosažitelné rychlosti TTL obvodu. Ve stavu saturace jsou oba přechody tranzistoru báze-emitor a báze-kolektor otevřené. Při přechodu tranzistoru z otevřeného stavu do uzavřeného stavu je způsobeno časové zpoždění hradla dobou odvedení přebytečného náboje z přechodu báze-kolektor tranzistoru. Tato doba je definovaná jako doba zotavení a určuje zpoždění výstupního signálu. Rychlá Schottkyho dioda s menším prahovým napětím umístěná mezi bází a kolektor tranzistoru jejím otevřením již při nižších napětích (0,3 V) zabrání otevření přechodu B-K tranzistoru a jeho přechodu do hluboké saturace.





Shottkyho tranzistory umožnily vznik nových řad TTL obvodů:

STTL – Schottky TTL

LSTTL, ALSTTL

Doby t_{pd0} a t_{pd1} v STTL jsou ≈ 3 ns

	Zpoždění T_{pd} [ns]	Příkon P_h /hradlo [mW]
TTL standard	10	10
STTL	3	18
LSTTL	9	2
ALSTTL	4	1
FTTL	3	4

Zpoždění a příkon základních TTL obvodů

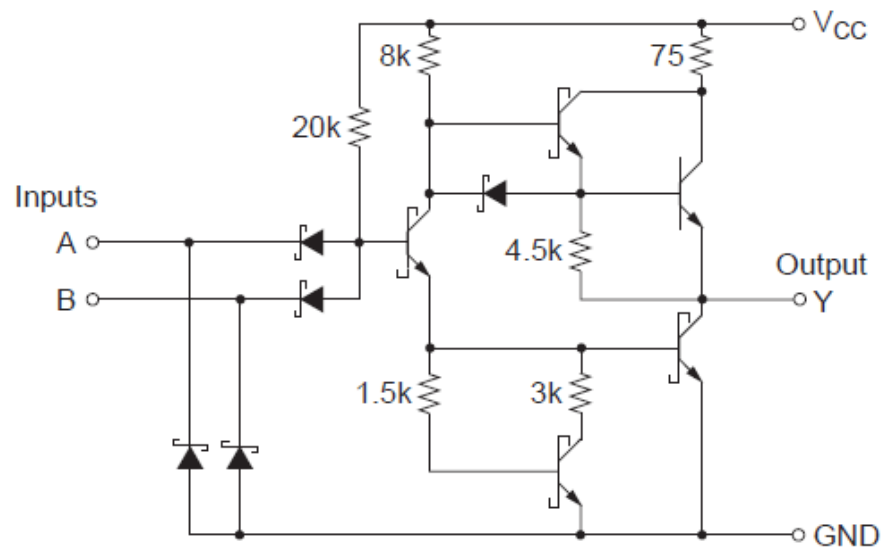
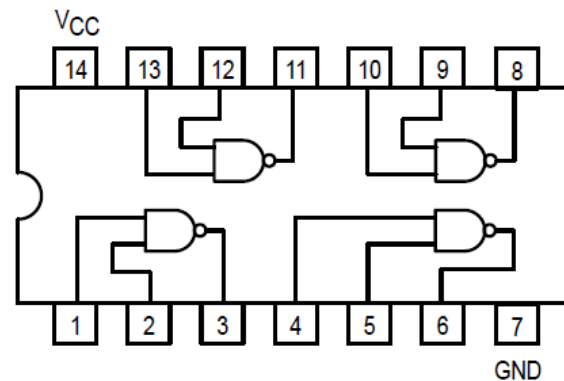
Součin zpoždění hradla t_{pd} a příkonu P_h na jedno hradlo udává jistou míru vlastnosti pro navrhovaný obvod z hledisku příkonu a rychlosti, čím menší je tento součin tím lepší pro navrhovaný obvod.

Příklady logických obvodů TTL (které jsou dostupné na trhu)

SN54/74LS00

Schottky NAND hradla LSTTL

QUAD 2-INPUT NAND GATE
LOW POWER SCHOTTKY



Logické obvody CMOS

Logické obvody CMOS (Complementary Metal Oxid Semiconductors) byly vyvinuty jako konkurence k technologii TTL. Jejich hlavní výhodou je velmi nízký příkon v klidovém stavu (až nW) i za provozu (desítky μW), široký rozsah napájecího napětí (3 až 18 V), velká odolnost proti rušení (šumová imunita) a dostatečná rychlost blíží se TTL.

Technologie CMOS umožňuje podstatně vyšší stupeň integrace než TTL. Umožňuje konstrukci obvodů LSI a VLSI (s vysokým a velmi vysokým stupněm integrace). Kromě logických obvodů se technologie CMOS využívá při výrobě pamětí a různých druhů mikroprocesorů.

CMOS

Obvody CMOS prošly několika vývojovými etapami. Jako první vznikla v roce 1968 u firmy RCA řada *CD4000* jako obvody pro všeobecné použití. Realizované obvody jsou většinou se středním stupněm integrace - MSI. V roce 1976 vyvinula firma Volvo zlepšenou řadu obvodů, realizovanou speciální technologií LOCMOS (Local Oxidation of silikon). Vznikla tak nová řada obvodů *HEF4000B*. Ta má kratší spínací časy, vyšší dosažitelné výstupní proudy, a přitom je jak funkčně, tak i co do uspořádání vývodů plně kompatibilní s řadou *CD4000*. Tato technologie umožnila dosáhnout menší plochu tranzistorů, a tím vyšší dosažitelný stupeň integrace.

Další významnou vývojovou řadou obvodů CMOS jsou rychlé obvody řady *74HC* (High-speed CMOS). Tato řada vznikla v roce 1981 a vyrábějí ji všechny

významné polovodičové firmy jako Motorola, Texas Instruments, RCA, Volvo a další. Tato technologie dosáhla významných zlepšení vlastností. Dosahuje spínacích rychlostí a výstupních proudů jako řada *74LS* v technologii TTL. Řada CMOS *74HC* je plně kompatibilní (i vývody) s TTL řadou *LS*.

Princip činnosti invertoru CMOS

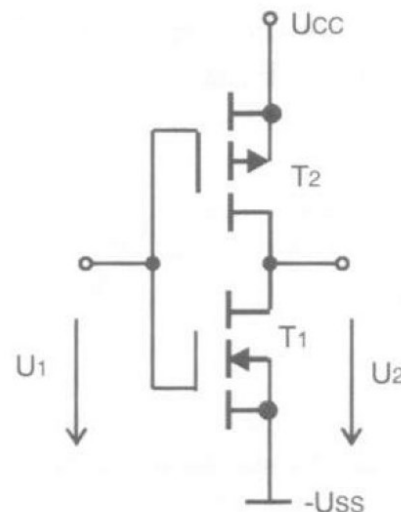
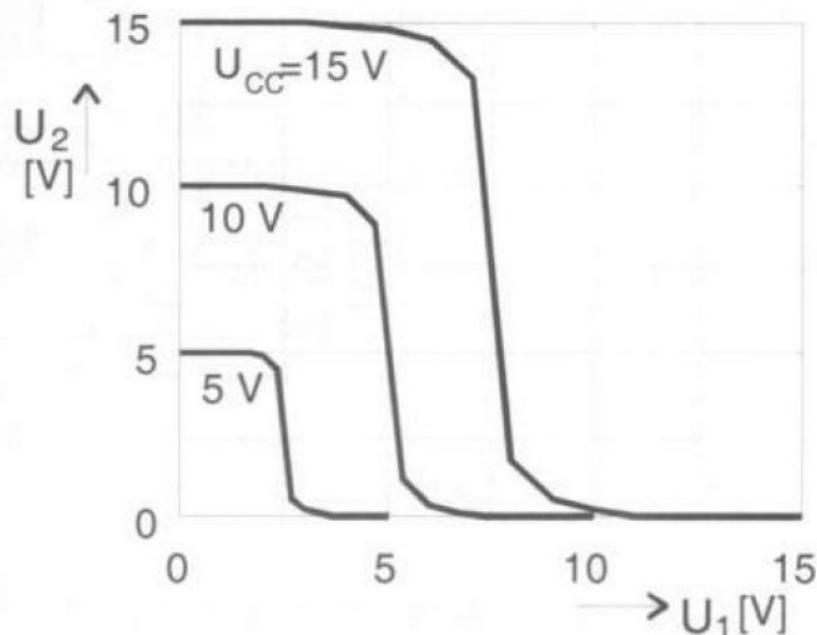


Schéma invertoru CMOS

Vložíme-li na vstup obvodu kladné napětí logické 1 ($U_1 \approx U_{CC}$), bude tranzistor T_1 vodivý a tranzistor T_2 bude zavřený.

Výstup U_2 bude přes odpor otevřeného tranzistoru T_1 (0.5 až 1 k Ω) spojen se zemí (U_{SS}). Zavřený tranzistor tvoří zatěžovací odpor vodivému tranzistoru a mívá hodnotu 10^9 až 10^{11} Ω . Na výstupu U_2 bude tedy napětí logické 0. Přivedeme-li na vstup logickou 0 ($U_1 \approx U_{SS}$), bude vodivý tranzistor T_2 a zavřený tranzistor T_1 . Na výstupu U_2 bude logická 1. Na obr. 5.13 jsou znázorněny převodní charakteristiky invertoru CMOS pro napájecí napětí $U_{CC} = 5$ V, 10 V a 15 V.



Převodní charakteristiky invertoru CMOS pro různé hodnoty U_{CC} .

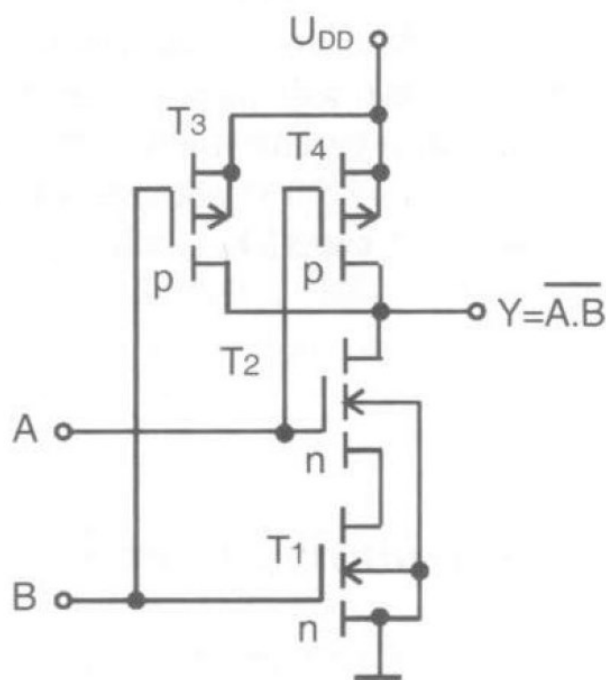
Vzhledem k tomu, že v klidovém stavu je vždy jeden z tranzistorů zavřený a jeden vodivý, teče obvodem od U_{CC} k U_{SS} pouze zbytkový proud v řádu μA až nA . Z toho vyplývá, že úbytek napětí na otevřeném tranzistoru bude přibližně 1 mV. To má za následek, že napětí logické 0 a logické 1 jsou přibližně rovná napájecím napětím, tj. $U_{2L} \approx 0$ V a $U_{2H} \approx U_{CC}$.

Úrovně logické 0 a logické 1 invertoru CMOS jsou jen velmi málo závislé na logickém zisku, tj. na počtu CMOS obvodů připojených na jeho výstup. Tyto úrovně jsou hlavně závislé na velikosti napájecího napětí U_{CC} .

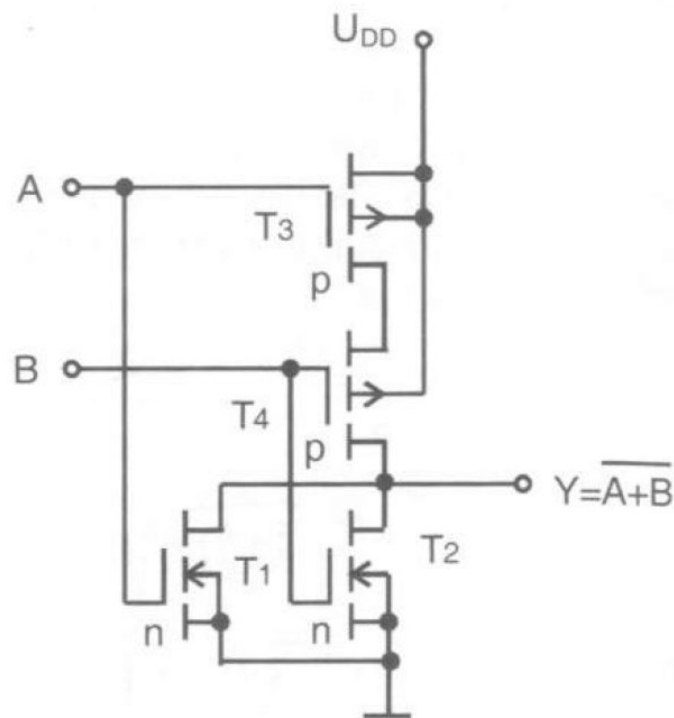
Hradla NAND a NOR

Logická hradla v technologii CMOS se konstruují vhodným zapojením několika invertorů. Tak například logické hradlo NAND bývá sestaveno tak, že:

- spojíme dva MOSFET tranzistory T1 a T2 s *n*-kanálem v serii a dva MOSFET tranzistory T3 a T4 s *p*-kanálem paralelně
- spojíme vývody hradel (G) tranzistorů MOSFET párově (s kanálem *p* a s kanálem *n*) T1 - T3 a T2 - T4, získáme zapojení dvouvstupového hradla NAND.



a)



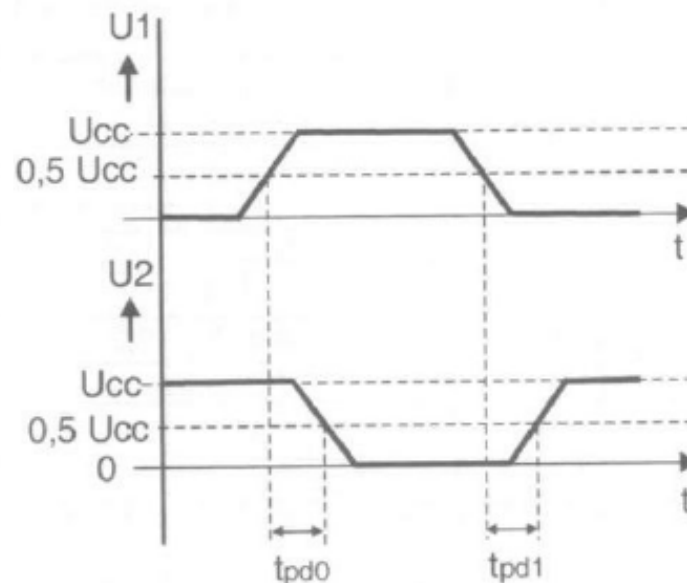
b)

Zapojení dvouvstupového hradla CMOS a) NAND, b) NOR

Základní parametry

Zpoždění t_{pd1} a t_{pd0} logických členů CMOS jsou měřena na napěťové úrovni rovné jedné polovině napájecího napětí $U_{CC}/2$ vstupního a výstupního signálu

Parametr	CMOS			TTL		
	CD4000			74HC	74LS	74ALS
Napájecí napětí U_{CC} [V]	5 V	10 V	15 V	5 V	5 V	5 V
Vstupní napětí U_{IL} max [V]	1,5	3	4,5	1	0,8	0,8
Vstupní napětí U_{IH} min [V]	3,5	7	11	3,5	2	2
Výstupní napětí U_{OL} max [V]	0,05	0,05	0,05	0,1	0,5	0,5
Výstupní napětí U_{OH} min [V]	4,95	9,95	14,95	4,9	2,7	2,7
Výstupní proud I_{OL} min [mA] při U_{OL}	0,44 (0,4 V)	1,1 (0,5 V)	3 (1,5 V)	4 (0,4 V)	8 (0,5 V)	8 (0,5 V)
I_{OH} min [mA] při U_{OH}	-0,44 (4,6 V)	-1,1 (9,5 V)	-3 (13,5 V)	-4 (3,7 V)	-0,4 (2,7 V)	-0,4 (2,7 V)
Šumová imunita typická [V] při $U_O=L/H$	2,2/2,2	4,5/4,5	6,7/6,7	1,8/2,5	0,75/2,4	0,9/2,1
Zpoždění hradla t_{pd1} [ns] (15 pF)	35	16	13	8	9	4
	60	25	20	10		
t_{pd0} [ns] (15 pF)	16	13	11,5	8	10	5
	35	20	17	10		
Takt. frekvence [MHz] typ.	12	25	36		33	50
	(D kl. obvod) min.	6	12	13	50	25
Rozsah napájecího napětí U_{CC}	3...18 V			2...6V	4,75... 5,25 V	4,5... 5,5 V



Definice zpoždění signálů obvodů CMOS

Rychlost obvodů CMOS závisí na velikosti napájecího napětí, které se může měnit ve velmi širokém rozmezí +3 až +18 V. Napájení nemusí být tak kvalitně stabilizováno jako pro obvody TTL.

Logický zisk obvodů CMOS je $N \approx 50$. Vlivem větších výstupních odporů obvodů CMOS se u nich projevuje větší závislost na zatěžovacích kapacitách než u obvodů TTL .

Literatura:

M. Antošová, V. Davídek, Číslicová technika, 2013 Kopp

Richard C. Jaeger, Travis N. Blalock, Microelectronic circuit design,
2011 by The McGraw-Hill Companies, Inc.

P. Horowitz, W. Hill, The art of Electronics, Third edition, Cambridge University Press,
1980, 1989, 2015.

Donald A. Neamen, Microelectronics Circuit Analysis and Design, Published by
McGraw-Hill (2010).