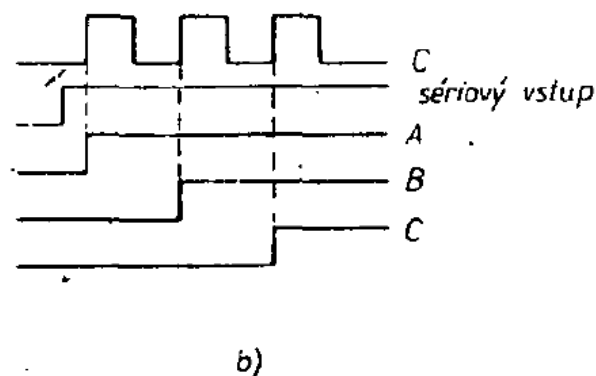
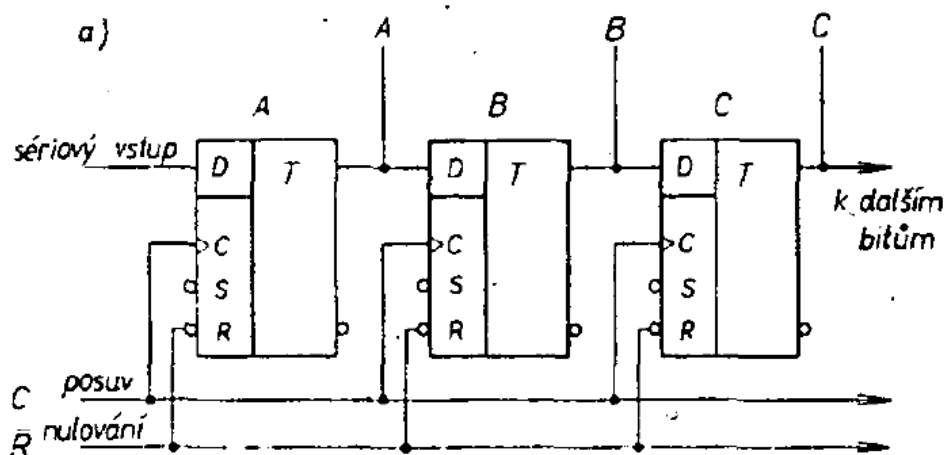


Posuvné registry

Statické posuvné registry

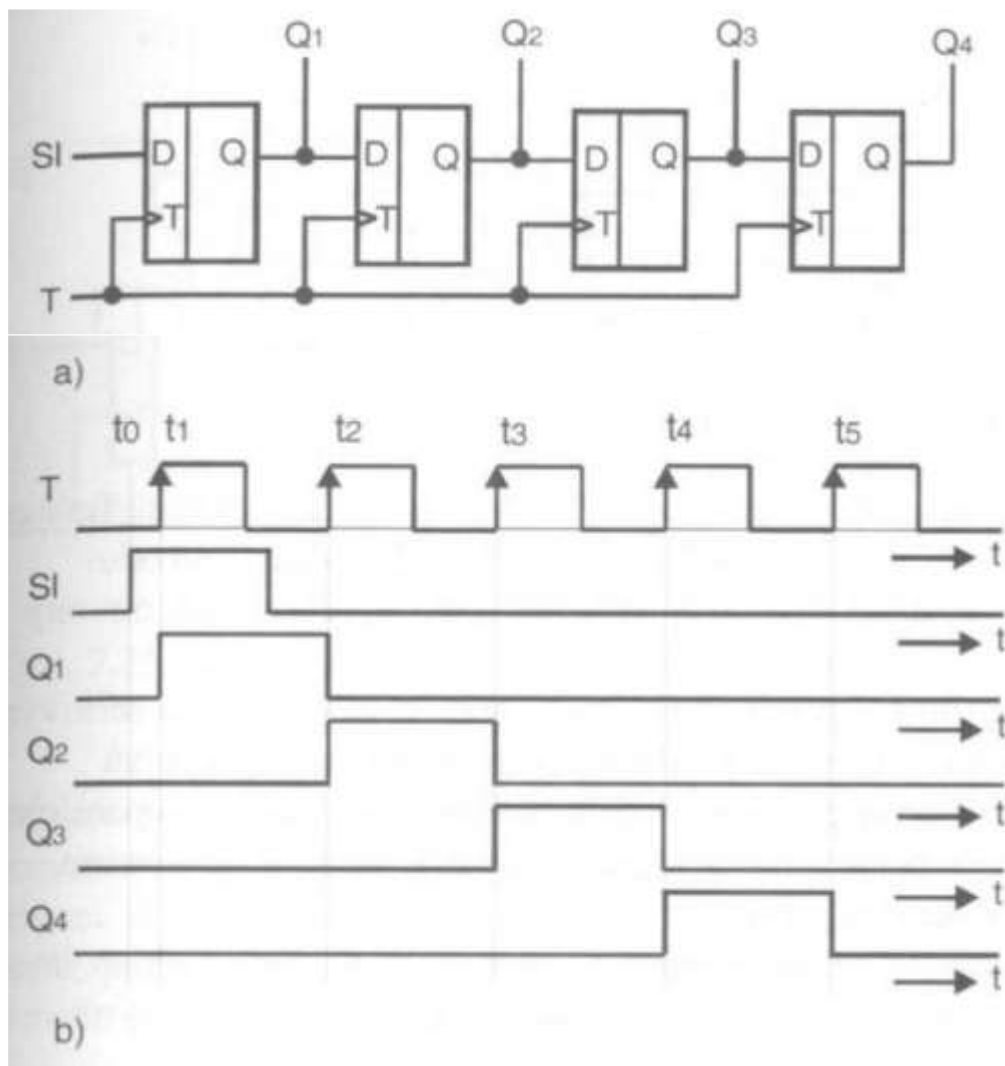
Statický posuvný registr se skládá z řady klopných obvodů spojených tak, že Každý klopný obvod přenáší informaci ze svého výstupu na vstup dalšího klopného Obvodu. Posuv informace nastává s příchodem hodinového impulsu.

Taktovací puls přichází ke všem vstupům klopných obvodů synchronně



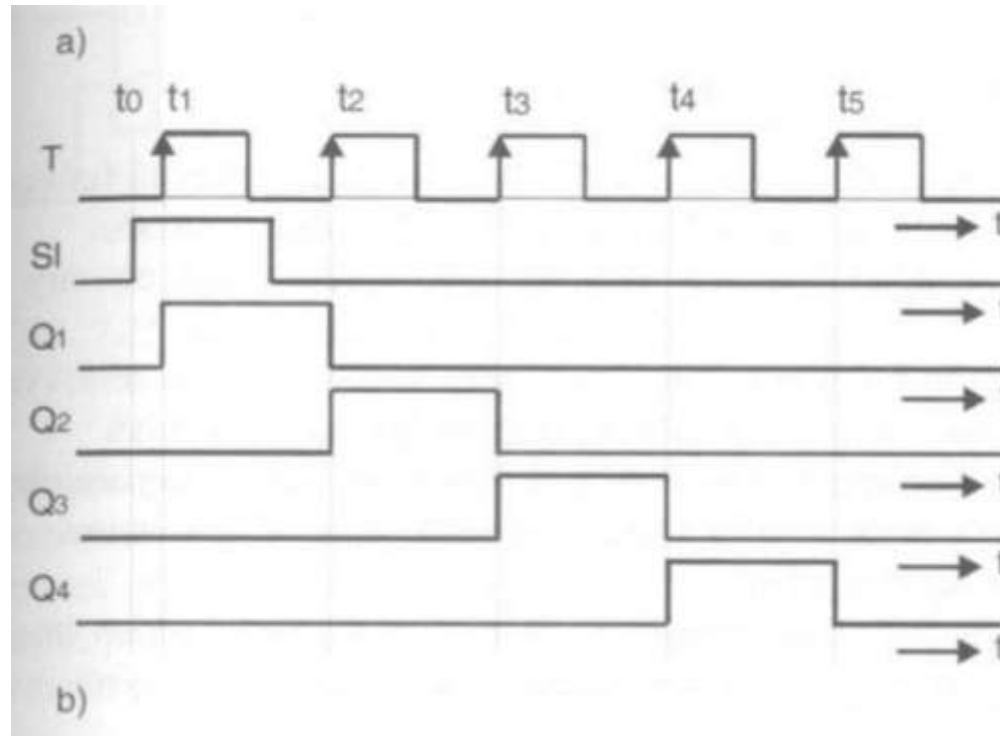
Posuvný
registr D se sériovým
vstupem (a) a časový
diagram činnosti re-
gistru při trvalé úrov-
ni H na vstupu b)

Statické posuvné registry



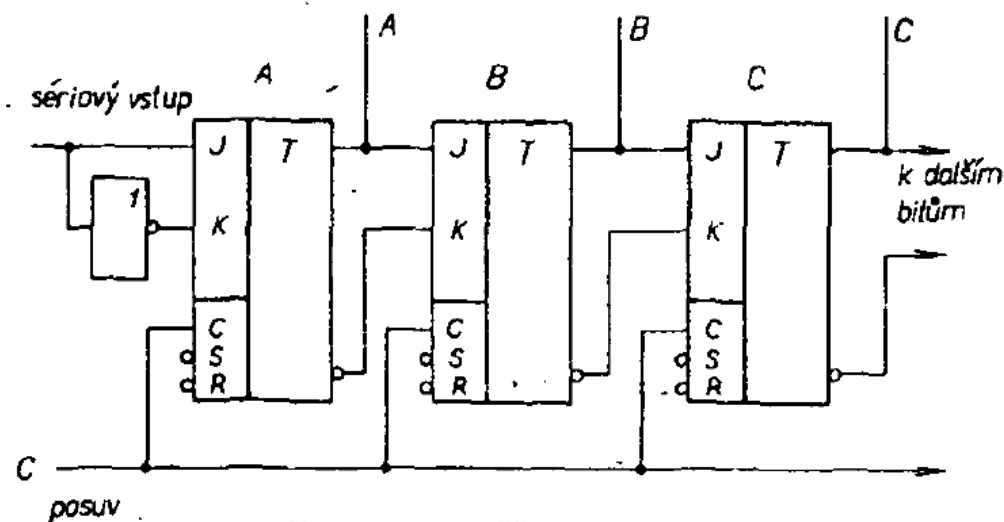
Čtyřbitový posuvný registr a) schéma zapojení, b) časový diagram

Statické posuvné registry

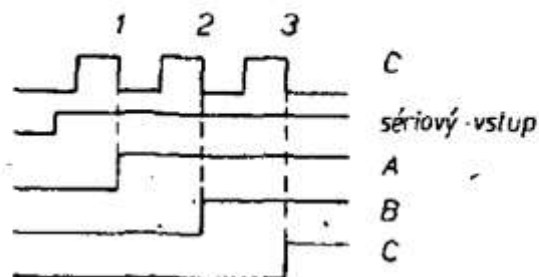


V čase t_0 se na vstupu SI objeví logická 1. S příchodem vzestupné hrany časovacího Impulzu T v čase t_1 je tato logická informace přenesena na výstup Q_1 prvního klopného obvodu. Do druhého obvodu se tato informace nemůže přenést s touto časovací hranou, protože na jeho vstupu není tato informace požadovanou definovanou dobu před příchodem časovacího pulzu.

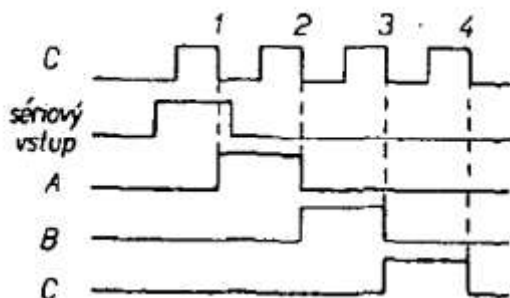
Posuvný registr z JK obvodů



a)



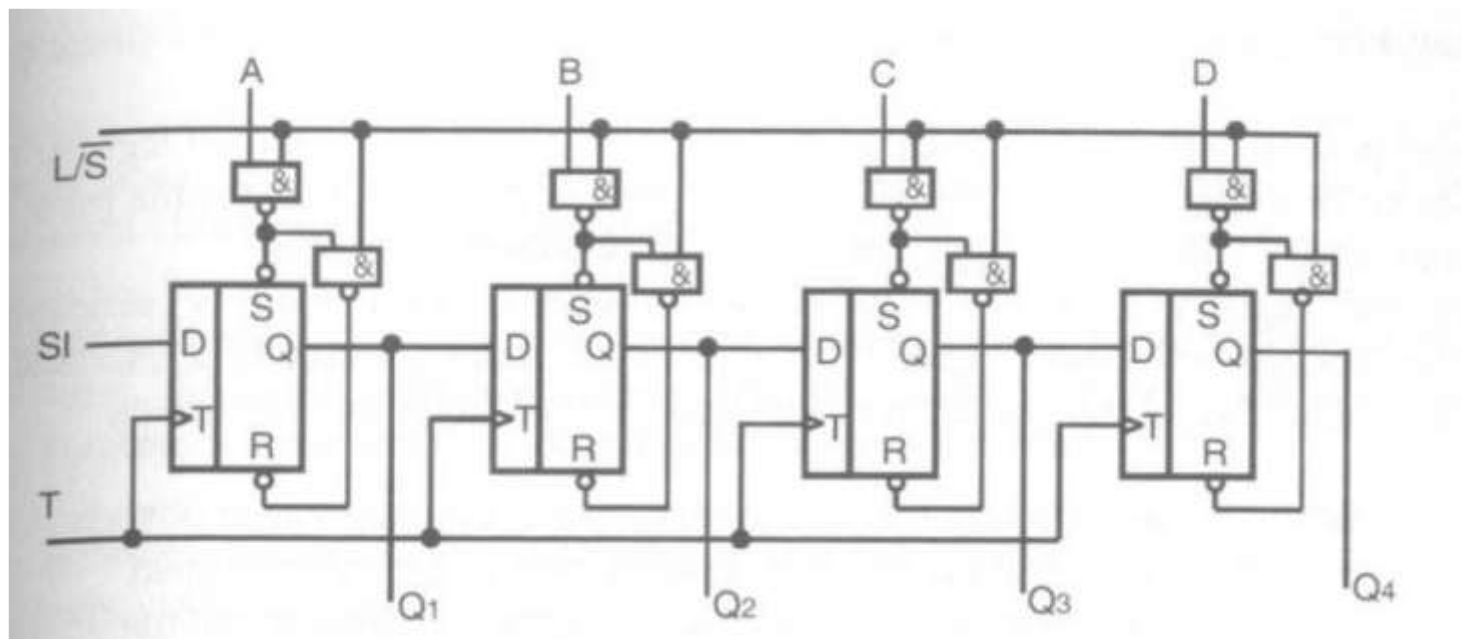
b)



c)

Posuvný registr J-K se sériovým vstupem (a), časový diagram činnosti registru při trvalé úrovni H na vstupu (b) a časový diagram činnosti registru při posuvu impulsu úrovně H (c)

Posuvný registr s paralelním vstupem a výstupem dat

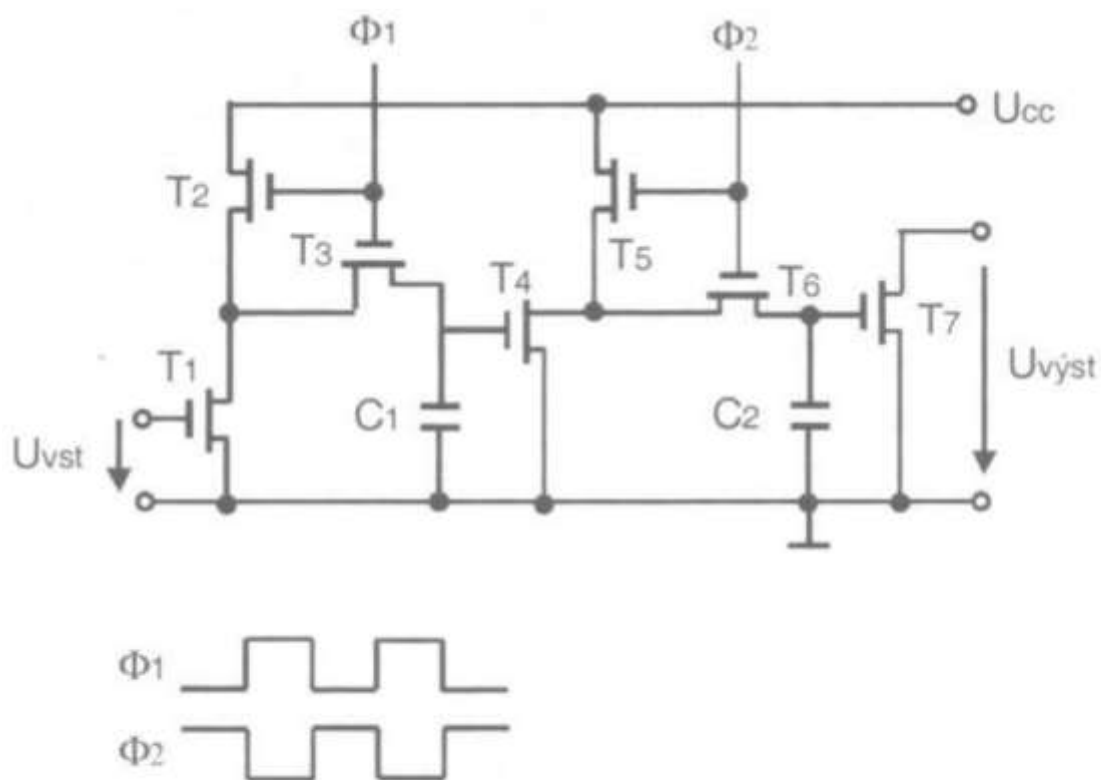


Je-li na vstupu $L/\bar{S}$ logická 1, nastaví se klopný obvod podle hodnoty na paralelním datovém vstupu A až D, a to buď vstupem S klopného obvodu do stavu $Q=1$, nebo vstupem R do stavu $Q=0$. Je-li na řídicím vstupu $L/\bar{S}$ logická 0, fáze nastavení se ukončí a taktovacím vstupem posouváme uložená data na výstup Q_4 .

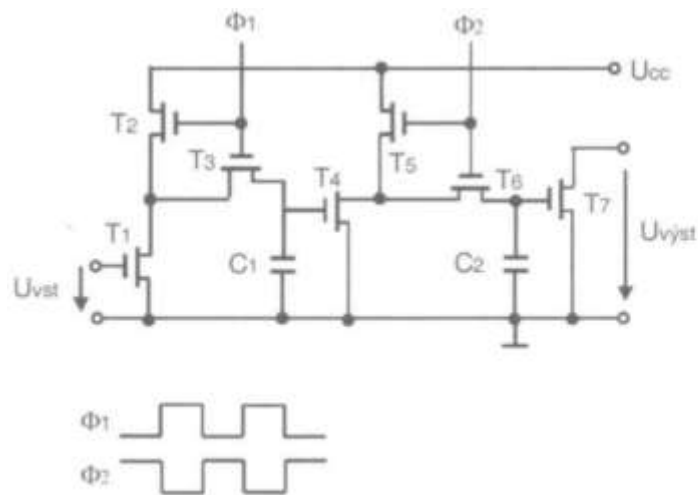
Pokud přivedeme na jednotlivé klopné obvody paralelní vícebitovou informaci a zaznamenejme ji naráz do všech klopných obvodů, můžeme potom tuto informaci pomocí taktovacích impulsů bit za bitem postupně vysouvat a na výstupu posledního klopného obvodu pak bude mít zaznamenaná paralelní informace sériový, tj. časově rozvinutý tvar.

Dynamické posuvné registry

Dynamická struktura posuvných registrů pracuje s paměťovými buňkami, v nichž je informace uložena v kapacitě hradla tranzistoru MOS. Náboj kondenzátoru se na takové kapacitě neudrží libovolně dlouho, a proto musí být obnovován. To se děje současně s posouváním zaznamenaných dat.



Dynamický posuvný registr sestavený ze dvou invertorů MOS



Dynamický posuvný registr sestavený ze dvou invertorů MOS

Tranzistory jsou navrženy tak, aby odpor tranzistoru T_1 a T_4 v sepnutém stavu byl mnohem menší než odpor tranzistorů T_2 a T_5 , a z toho vyplývá, že jsou-li otevřeny současně, je na T_1 resp. T_4 nulové napětí.

Nyní předpokládejme, že na vstup tranzistoru T_1 připojíme napětí U_{vst} odpovídající logické jedničce. Přejde-li řídicí impuls Φ_1 do logické jedničky, otevřou se tranzistory T_2 a T_3 a vzhledem k otevřenému tranzistoru T_1 se z jeho kolektoru přivede nulové napětí na kapacitor C_1 . Toto napětí neotevře tranzistor T_4 a po příchodu čela impulsu Φ_2 (s týlem impulsu Φ_1) se otevřou tranzistory T_5 a T_6 a kapacitor C_2 se nabije na napětí U_{cc} , které odpovídá logické jedničce. Tak se po vystřídání impulsů Φ_1 a Φ_2 dostane logická jednička ze vstupu na výstup paměťové buňky posuvného registru.

Φ_1 a Φ_2 musí mít nějakou minimální taktovací frekvenci, protože C_1 a C_2 se časem vybíjí.

Čítače a děliče frekvence

Elektronické čítače sčítají počet impulzů, které přicházejí na jejich vstup a ukládají tuto informaci do paměti.

Elektronické čítače čítají vybrané jevy nebo události, které musíme vhodným senzorem převést na napěťové impulzy. S příchodem každého impulzu se přičítá jednička ke stávajícímu uloženému číslu, které odpovídá součtu předchozích impulzů. Nově vzniklý součet se zapíše do paměti čítače. Dekadický čítač počítá na každém řádovém místě od 0 až 9 a po desátém pulzu se místo vynuluje a vznikne současně přenos do následujícího vyššího řádového místa, které je tím zvýšeno o jedničku.

Čítače mohou počítat v libovolných číselných soustavách a kódech. Nejsnadnější na konstrukci jsou čítače pracující ve dvojkové soustavě.

Čítače a děliče frekvence

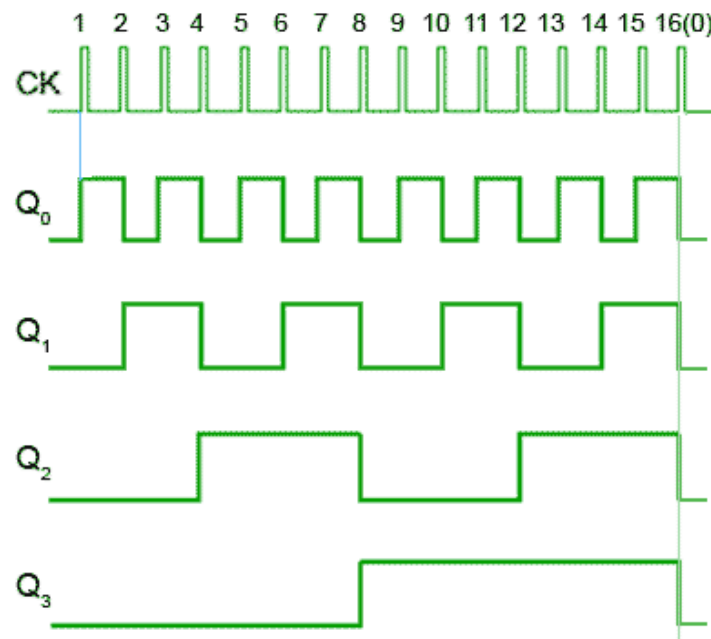
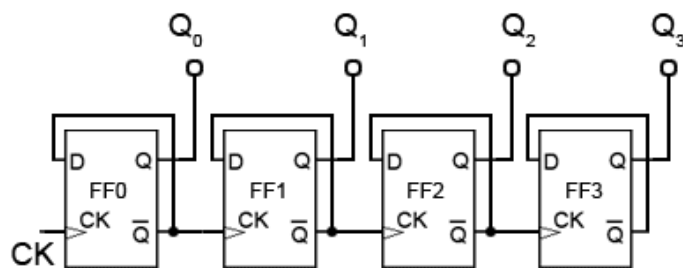


- *asynchronní* - u těchto čítačů je taktovací signál odvozen vždy z výstupu předchozího stupně (čistě asynchronní) nebo z některého z předchozích stupňů. Taktovací signál v sobě nese informaci o stavu předchozích stupňů a proto mají asynchronní čítače jednodušší zapojení ve srovnání se synchronními. Díky šíření signálu přes jednotlivé stupně zapojení vznikají v obvodu časová zpoždění, a tím i nežádoucí přechody stavů
- *synchronní* - u těchto čítačů jsou všechny taktovací vstupy klopných obvodů připojeny na společný taktovací signál. Proto všechny klopné obvody reagují na stejnou hranu (náběžnou nebo sestupnou) taktovacího signálu. U těchto obvodů nevznikají na výstupech nežádoucí stavy. Co do zapojení jsou synchronní čítače složitější než obvody asynchronní, jsou však ve srovnání s asynchronními signály rychlejší.

Asynchronní čítače

Spojíme-li do série více klopných obvodů tak, že výstupní signál předchozího je taktovacím signálem následujícího, získáme asynchronní čítač. Kmitočet na výstupu každého následujícího stupně bude poloviční oproti kmitočtu stupně předchozího. Můžeme tedy říci, že původní kmitočet je pak dělen dvěma, čtyřmi, osmi a obecně 2^K , kde K je počet stupňů klopných obvodů.

- čtyřbitový binární čítač nahoru s obvody D řízené náběžnou hranou taktovacího signálu

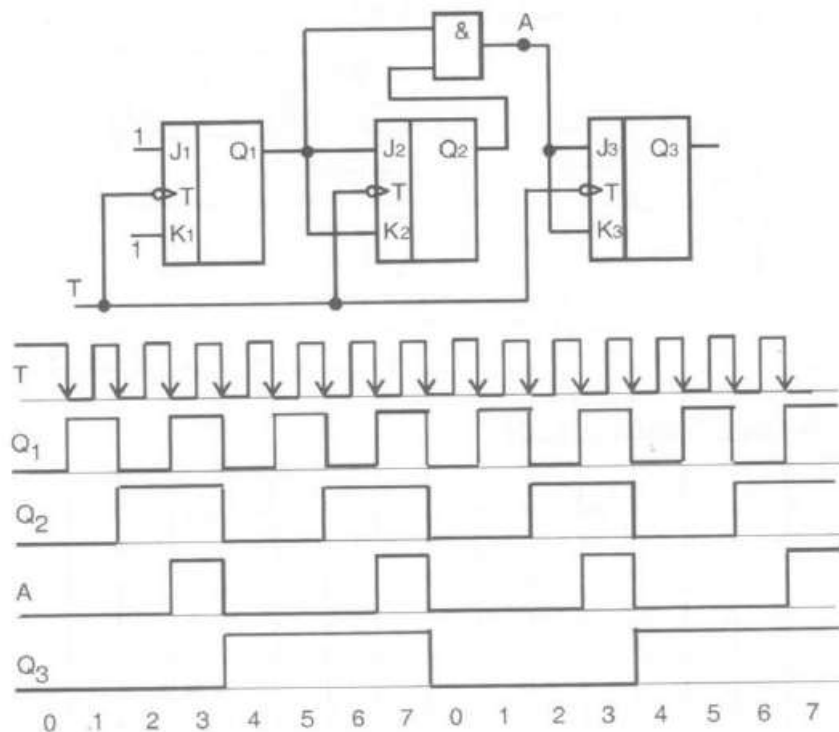


Synchronní čítače

Synchronní čítače mají jeden taktovací signál, připojený ke všem klopným obvodům. Všechny klopné obvody tak mění svůj stav najednou, s jedním zpožděním signálu na všech výstupech, bez ohledu na počet stupňů čítače. Synchronní čítače tak redukují časové zpoždění asynchronních čítačů a odstraňují problémy vzniku nežádoucích stavů. K bitový binární synchronní čítač, stejně jako asynchronní, má N stavů, kde $N=2^K$. K je počet stupňů čítače.

Synchronní čítač bývá navržen podle následujícího “*synchronizačního*” principu:

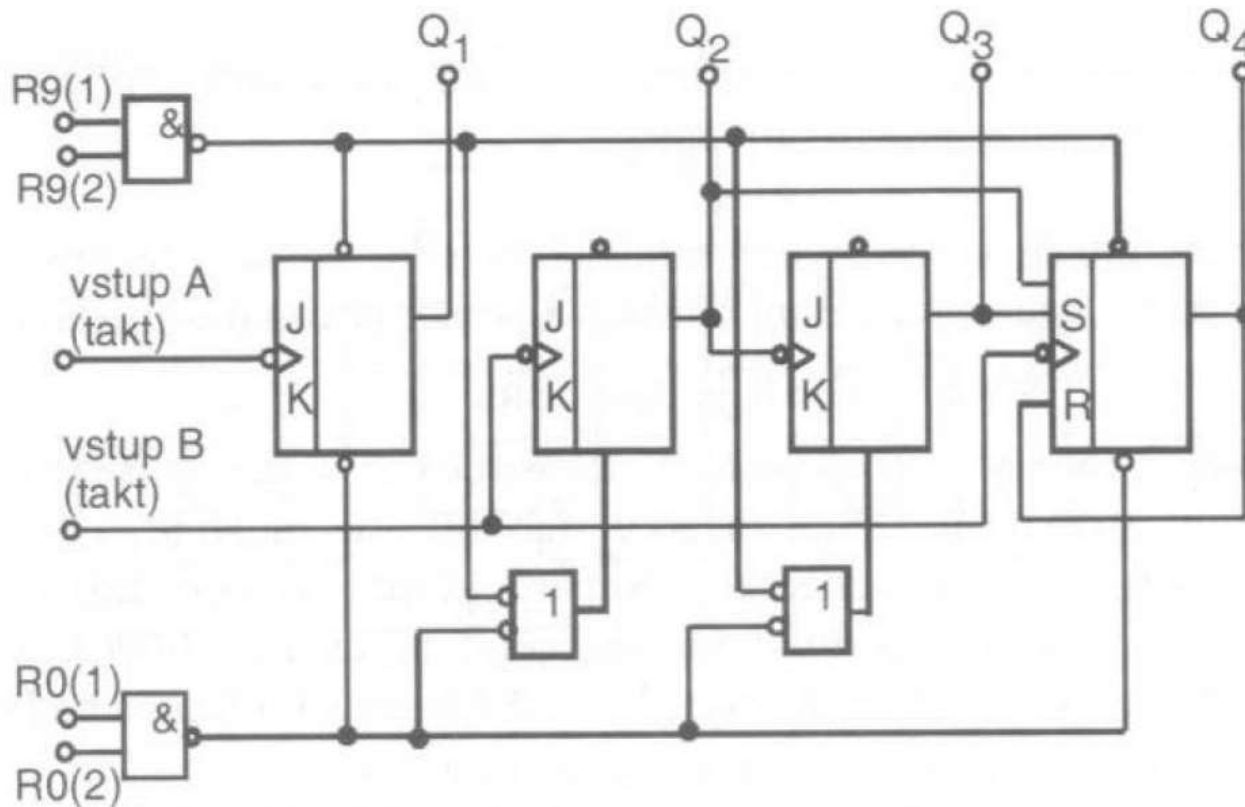
K -tý stupeň čítače překlápí s taktovacím pulsem, který nastane tehdy, jsou-li všechny nižší stupně v jedničce.



- čítač má tři stupně a má proto $2^3 = 8$ stavů, všechny stupně se taktují současně společným signálem
- první stupeň čítače překlápí s každou sestupnou hranou taktu. Proto musí být $J = K = 1$
- podle synchronizačního principu překlápí druhý stupeň pouze tehdy, je-li první stupeň v 1. Výstup Q_1 prvního stupně je proto spojen se vstupy J_2 a K_2 druhého stupně
- třetí stupeň překlápí jen tehdy, když jsou oba výstupy Q_1 a Q_2 v jedničce. Výstupy Q_1 a Q_2 jsou spojeny přes AND hradlo (bod A) se vstupy J_3 a K_3 třetího stupně
- stejným způsobem se zapojují budicí vstupy případných následujících stupňů.

Integrované asynchronní čítače

obvod 7490 - *desítkový čítač*, obsahující jeden samostatný JK klopný obvod schopný dělit dvěma a trojici klopných obvodů, zapojených jako dělič pěti, jak je patrné z obr. Čítač má dva nulovací vstupy $R_{0(1)}$, $R_{0(2)}$, kterými je možné všechny výstupy nastavit do nuly, a dva vstupy $R_{9(1)}$, $R_{9(2)}$, kterými lze výstupy nastavit do stavu 1001_2 , což odpovídá dekadickému číslu 9.

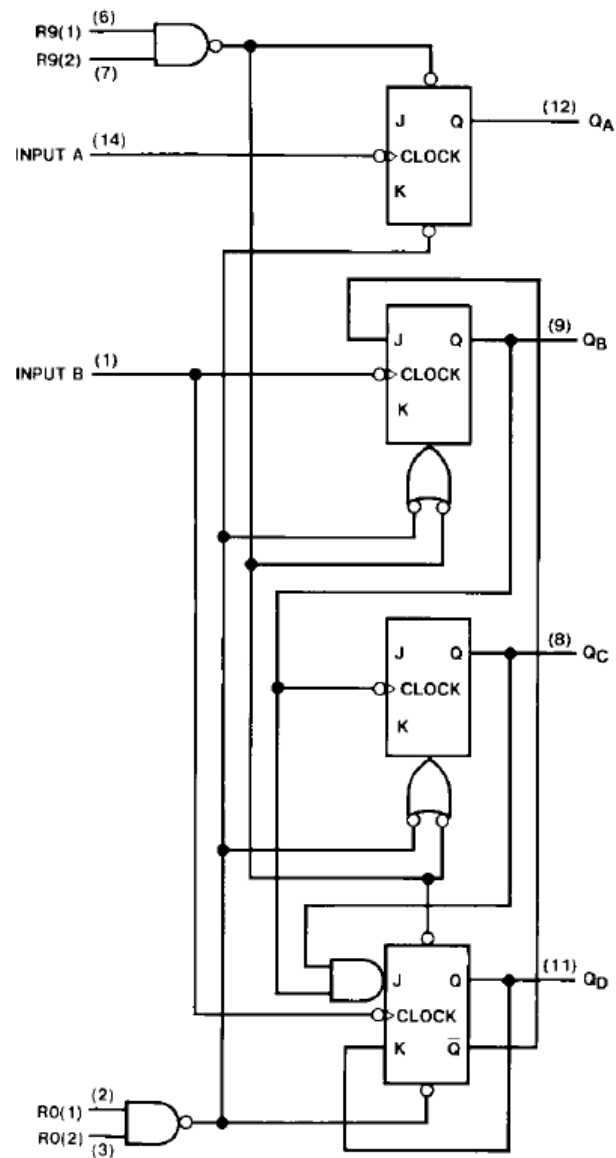


-nepřipojené vstupy
vstupy JK
jsou explicitně oba
na úrovni log 1

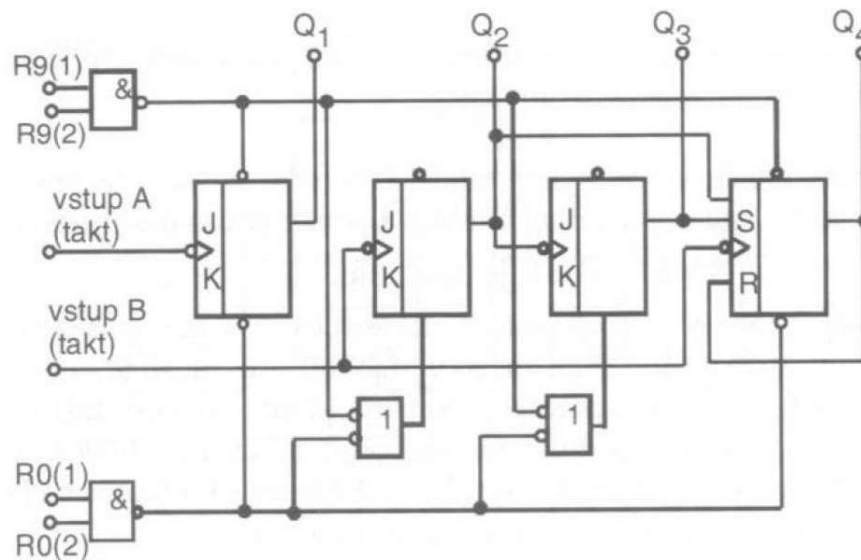
Desítkový asynchronní čítač typu 7490

Integrované asynchronní čítače

Logic Diagram



The J and K inputs shown without connection are for reference only and are functionally at a HIGH level.



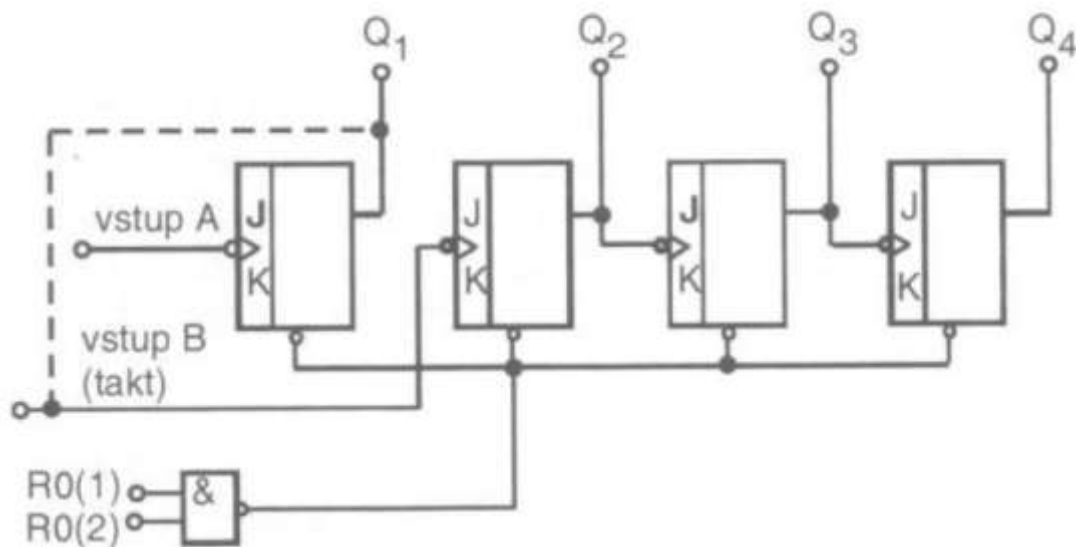
Tento obvod může být použit několika způsoby:

- jako desítkový čítač v kódu BCD, kdy výstup Q_1 prvního klopného obvodu je spojen se vstupem B druhého klopného obvodu a jako vstup slouží vstup A
- jako dělič dvěma a pěti, kdy používáme odděleně vstupy A a B a jim odpovídající výstupy
- jako dělič v symetrickém kódu, kdy vstupem obvodu je vstup B, vstup A je zapojen k výstupu Q_4
- jako čítač, resp. dělič se zvoleným modulem, kdy se po zvoleném počtu impulsů přerušuje počítací cyklus a pomocí vstupů $R_{0(1)}$, $R_{0(2)}$

a logických jedniček na výstupech při posledním slově čítacího cyklu
čítač nuluje

- čítač 7490 čítá tehdy, je-li na jeden ze vstupů R_9 i R_0 přivedena logická nula,

obvod 7493 - jednoduchý čtyřbitový *binární čítač* obsahující jeden samostatný JK klopný obvod a trojici JK klopných obvodů použitelných jako čítač s modulem 8. Funkční blokové schéma tohoto čítače je uvedeno na obr.

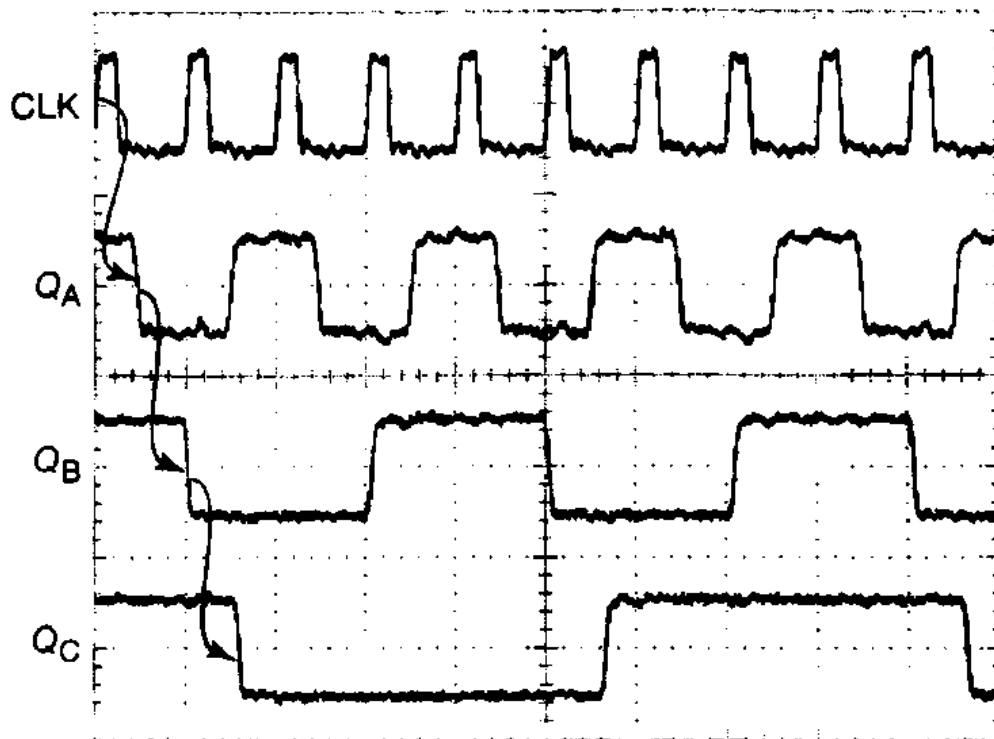
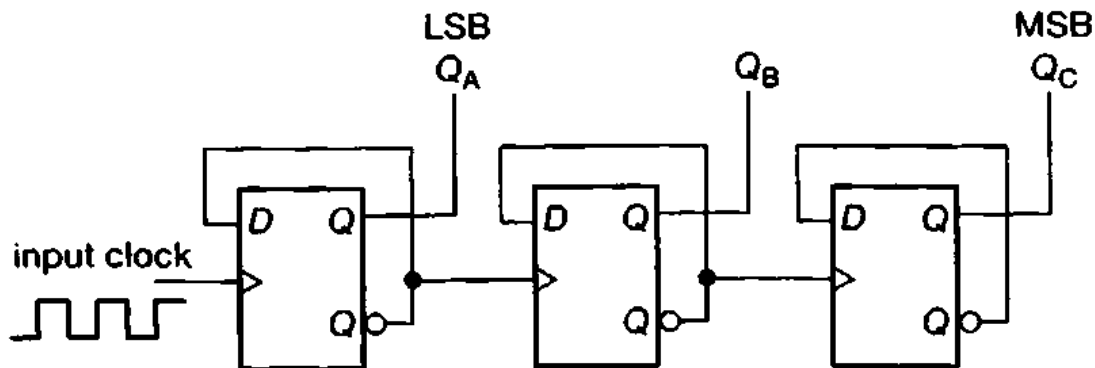


Binární asynchronní čítač 7493

Spojíme-li vstup B s výstupem Q_1 , můžeme obvod použít jako asynchronní čítač s modulem 16 v binárním kódu. Pomocí vstupů $R_{0(1)}$ a $R_{0(2)}$ lze uvést výstupy všech klopných obvodů do stavu logické nuly přivedením úrovně logické jedničky současně na oba vstupy. Těto skutečnosti můžeme opět využít při zkracování čítacího cyklu při návrhu čítačů, resp. děličů ve zvoleném modulu.

Příklad nežádoucího zpoždění v asynchronních čítačích.

- třístupňový asynchronní čítač s klopnými obvody D



příklad:

počáteční stav čítače: $Q_A=1$

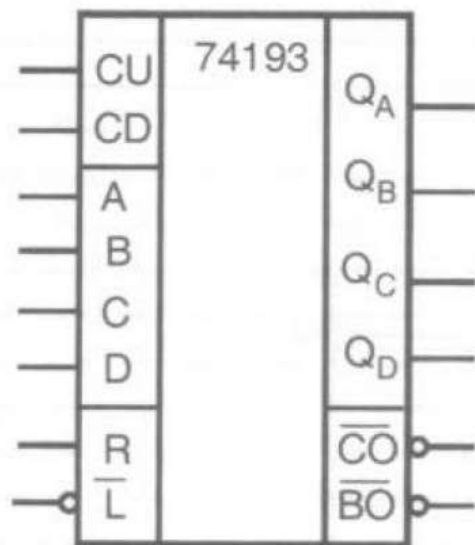
$Q_B=1$

$Q_C=1$

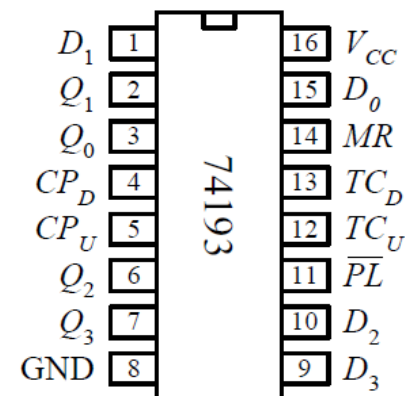
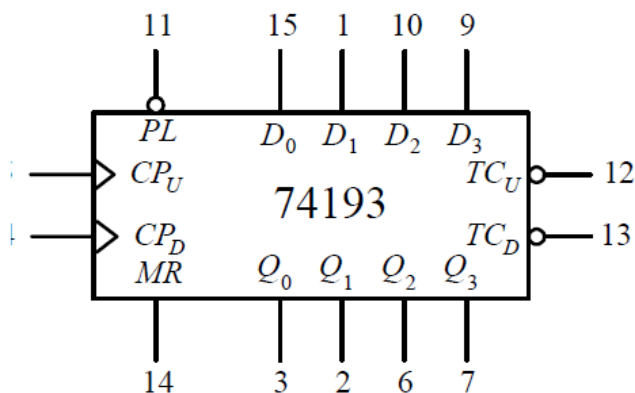
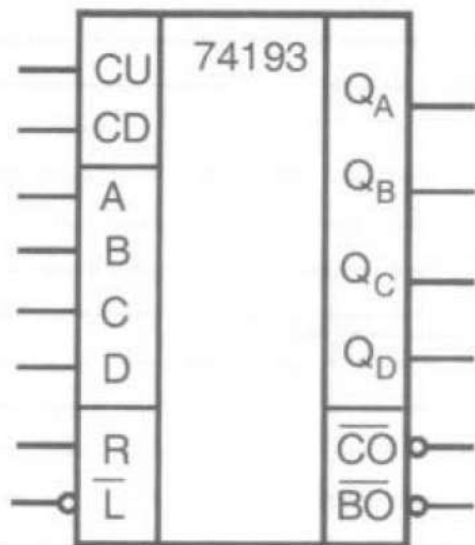
Integrované synchronní čítače

- není u nich kumulace zpoždění v jednotlivých klopných obvodech
- všechny klopné obvody se taktují současně (synchronně)

Jako příklad synchronního integrovaného čítače uvedme čítač typu 74193. Jedná se o binární čtyřbitový čítač s volitelným směrem čítání - vpřed nebo zpět. Čítač má vstup pro nulování a vstup pro zápis předvolby stavu jednotlivých klopných obvodů. Oba tyto vstupy jsou označovány jako asynchronní, protože ovládají výstupy bez potřeby taktování.



Symbolické značení signálů čítače 74193

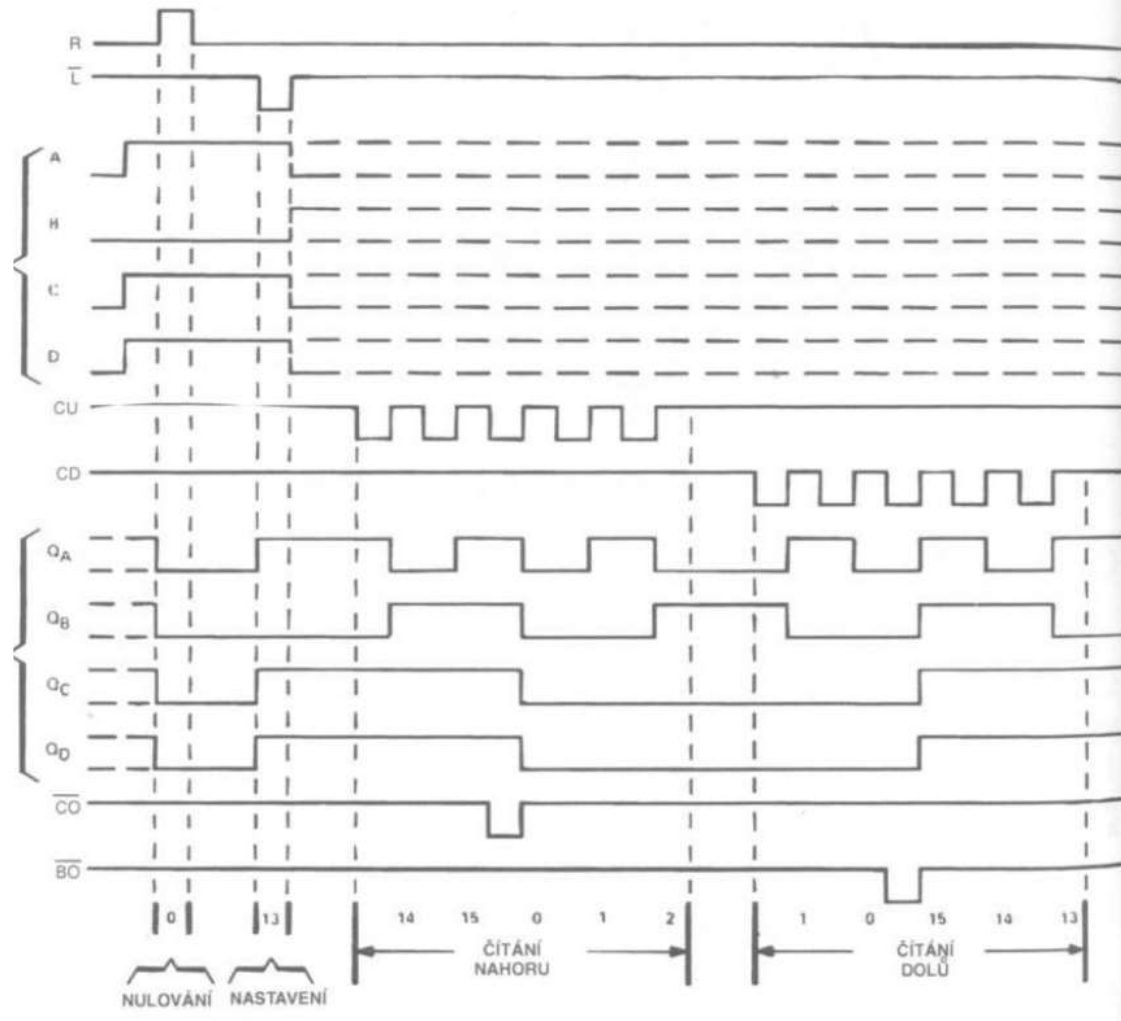


Čítač obsahuje osm vstupů:

- taktovací vstup pro čítání vpřed CU (Count Up)
- taktovací vstup pro čítání vzad CD (Count Down)
- datové vstupy pro nastavení výstupů A, B, C, D
- vstup R pro nulování výstupů
- řídicí vstup $\bar{L}$ pro nahrání datových vstupů

a šest výstupů:

- čtyři výstupy čítače Q_A , Q_B , Q_C a Q_D . Výstup Q_A je bit s nejnižší vahou
- přenos při čítání vpřed $\overline{CO}$ (Carry Output)
- přenos při čítání zpět $\overline{BO}$ (Borrow Output).



R: log 1 resetuje Q_0 - Q_3

$\bar{L}$ uvolňuje paralelní nastavení čítače.

Vstup je aktivní v úrovni logické 0 a umožňuje nastavit výstupy čítače Q_A , Q_B , Q_C a Q_D do stavu datových vstupů A, B, C a D.

$\bar{L} = 1 \rightarrow$ čítač čítá vpřed s příchodem náběžné hrany taktovacích pulzů na CU, CD musí být na log 1.

$\bar{L} = 1 \rightarrow$ čítač čítá vzad s příchodem náběžné hrany taktovacích pulzů na CD, CU musí být na log 1.

Výstup pro přenos vpřed $\overline{CO}$ přejde do úrovně logické 0 pouze v případě, že čítač dosáhne stavu 15, tj. všechny výstupy Q budou v logické 1 a takt CU bude v logické 0.

Výstup pro přenos zpět $\overline{BO}$ přejde do stavu logické 0 při čítání zpět, jsou-li na všech výstupech Q logické 0 a vstup CD je ve stavu 0.

Výstupy pro přenos vpřed $\overline{CO}$ a pro přenos zpět $\overline{BO}$ se používají jednak pro spojování čítačů 14193 do kaskády pro vytvoření čítačů s větším počtem bitů a jednak pro zkracování čítacích cyklů.

při spojení dvou čítačů 74193 do kaskády získáme osmibitový čítač s 256 stavy,

Výstup $\overline{CO}$ spojíme se vstupem vyššího řádu pro čítání vpřed CU

a výstup $\overline{BO}$ se vstupem CD vyššího řádu pro čítání zpět.

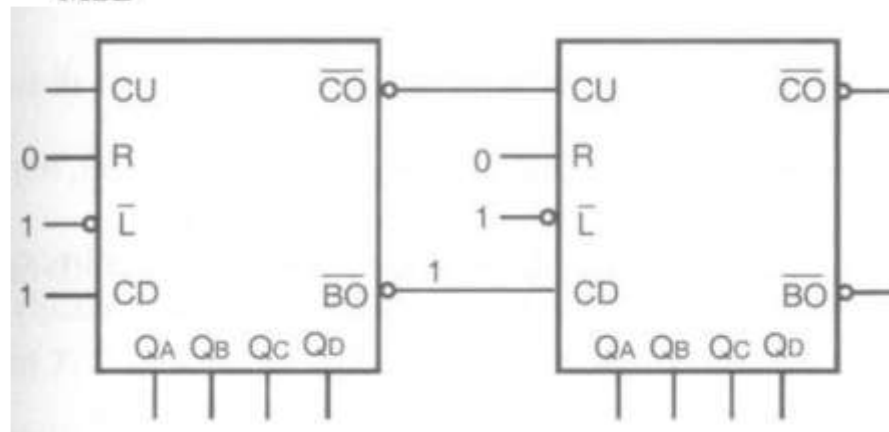
při načítání šestnácti vstupních impulsů bude stav čítače

1 1 1 1 0 0 0 0
LSB MSB

S nízkou úrovní taktovacího vstupu CU prvního čítače se na jeho výstupu objeví puls $\overline{CO}$. Jeho náběžná hrana taktuje druhý čítač, jehož stav bude

0 0 0 0 1 0 0 0
LSB MSB

a vstupní čítač začne čítat opět od stavu 0.



Spojení dvou synchronních čítačů 74193 do kaskády

Literatura:

M. Antošová, V. Davídek, Číslicová technika, 2013 Kopp

Richard C. Jaeger, Travis N. Blalock, Microelectronic circuit design,
2011 by The McGraw-Hill Companies, Inc.

P. Horowitz, W. Hill, The art of Electronics, Third edition, Cambridge University Press,
1980, 1989, 2015.

Donald A. Neamen, Microelectronics Circuit Analysis and Design, Published by
McGraw-Hill (2010).