

# Polovodičové paměti

**RAM** random access memory, může se do ní rychle zapisovat a číst z ní a lze v libolném čase adresovat jakoukoliv buňku. Přístupové časy pro čtení a zápis do jednotlivé buňky jsou obdobné.

**SRAM** – statická RAM, při zapnutém napájení udrží zapsanou informaci nepřetržitě

**DRAM**- potřebuje periodickou obnovu zapsané informace

**ROM** read only memory, informaci lze rychle pouze číst.

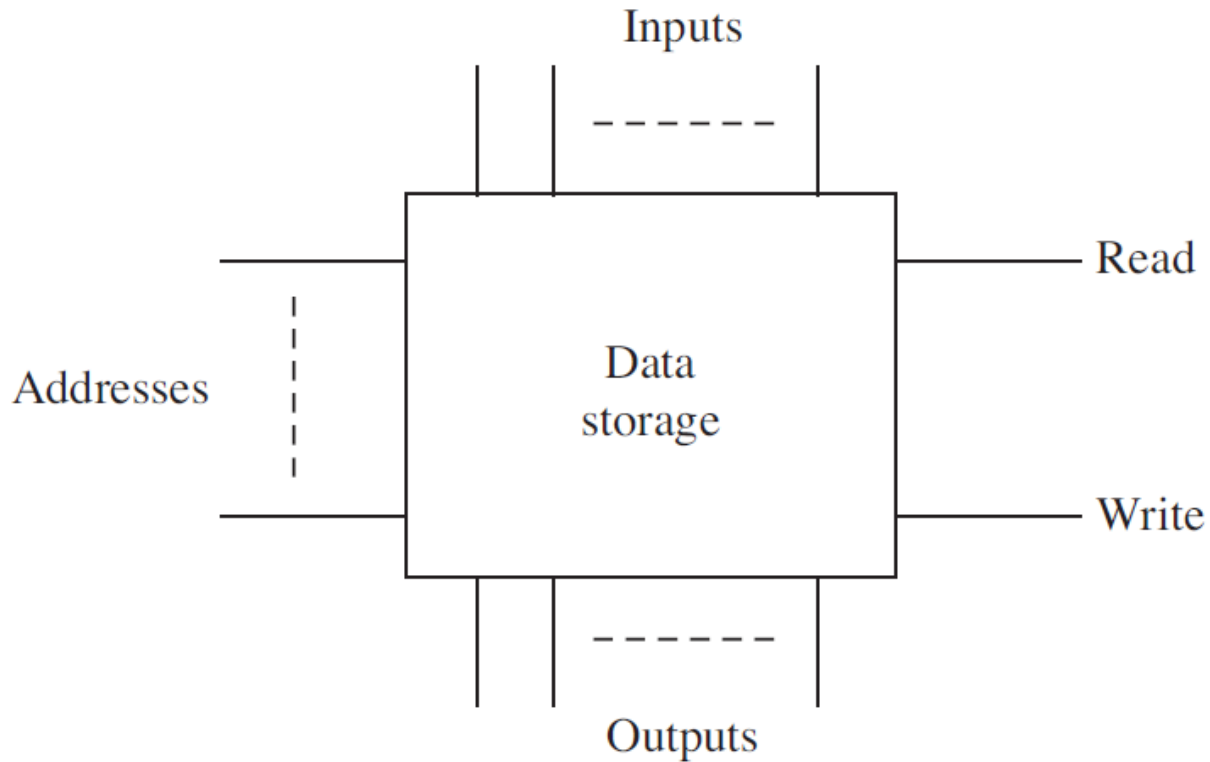
**PROM** nelze data přepisovat

**EPROM** lze data vymazat a znovu zapsat

**EEPROM** lze přepisovat elektricky – flash memory

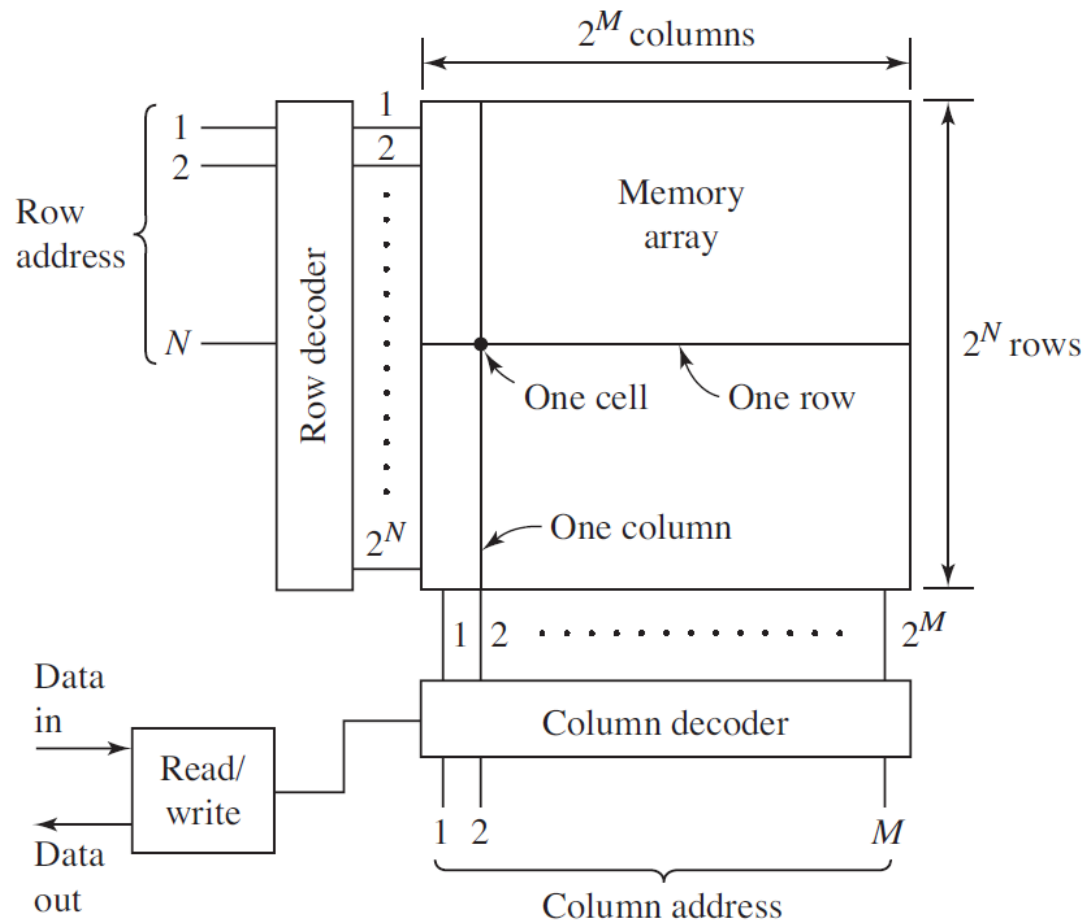
# Architektura paměti

-základní uspořádání paměti (RAM, ROM - nemá vstupy a možnost “write”)



# Architektura paměti

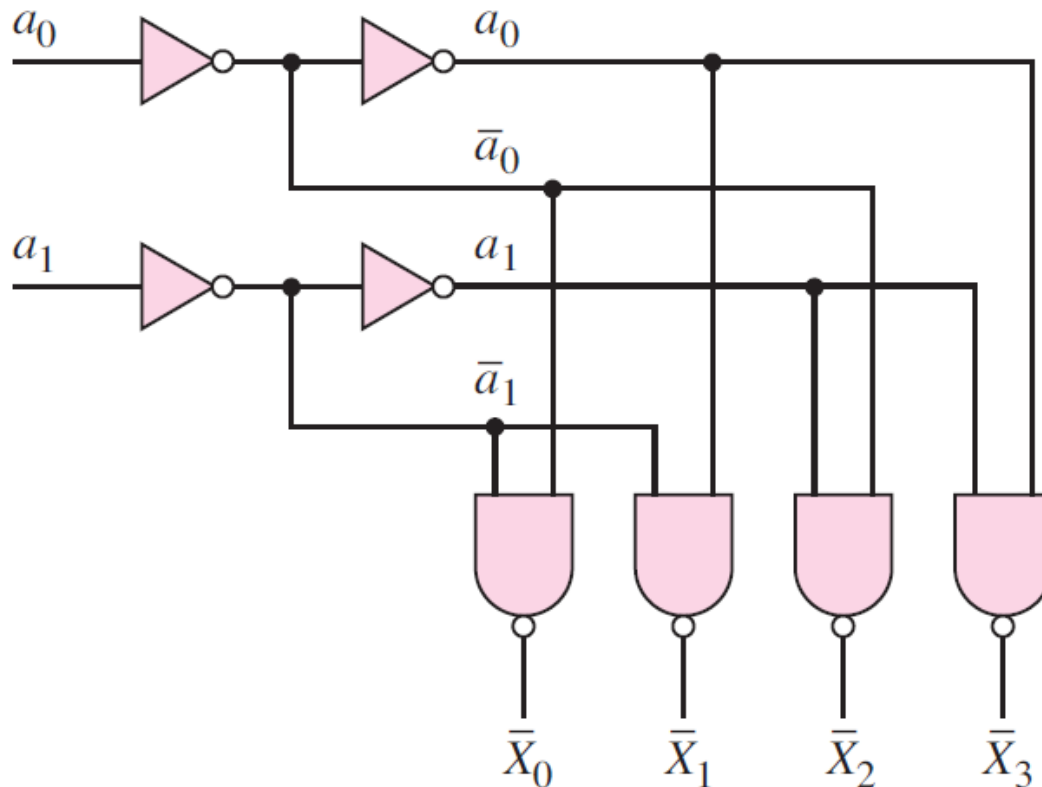
- schematické uspořádání paměti RAM (paměťová matice)
- pro zápis nebo čtení do určité buňky (bitu) adresujeme a tím aktivujeme příslušný řádek a pak sloupec → tím je jednoznačně určena paměťová buňka v matici
- vybraná data jsou pak transportována bitovou linkou dolů do čtecího obvodu
- paměťové bloky jsou zapojovány paralelně (chip select signal – pro dodatečnou adresaci čipu)



# Architektura paměti

## Dekodér adresy

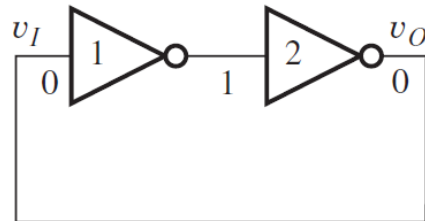
- příklad jednoduchého dvoubitového dekodéru adresy
- na vstupu adresování je vstupní buffer tvořený dvěma invertory (nižší budící výkon)
- dekodér vybírá jeden výstup ze čtyř podle dvojkové hodnoty dvoubitové adresy



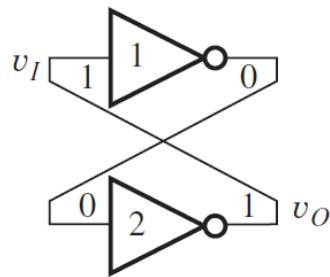
# Architektura paměti

RAM

SRAM buňka

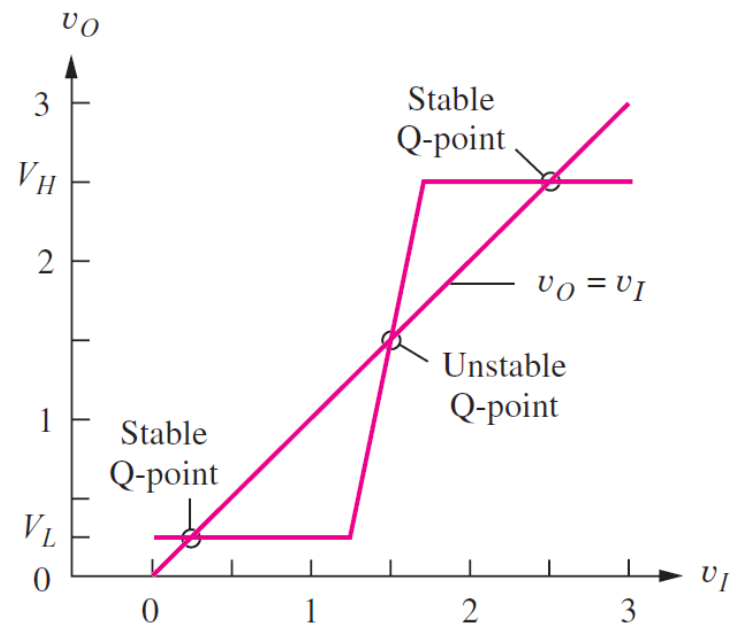


(a)



(b)

- bistabilní klopný obvod s invertorů  
jako paměťová buňka



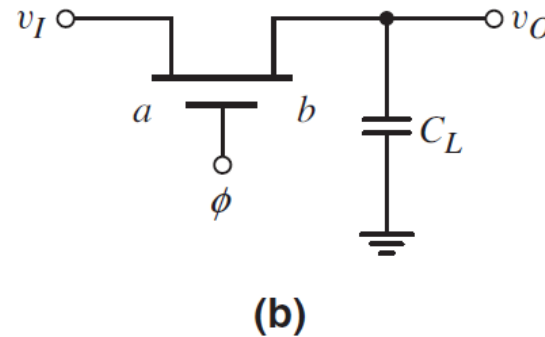
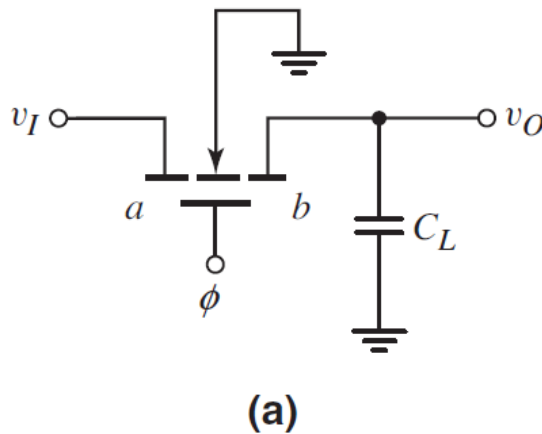
napěťová přenosová charakteristika  
paněťové buňky (bistabilního  
obvodu)

# TRANSMISSION GATES

## NMOS Transmission Gate

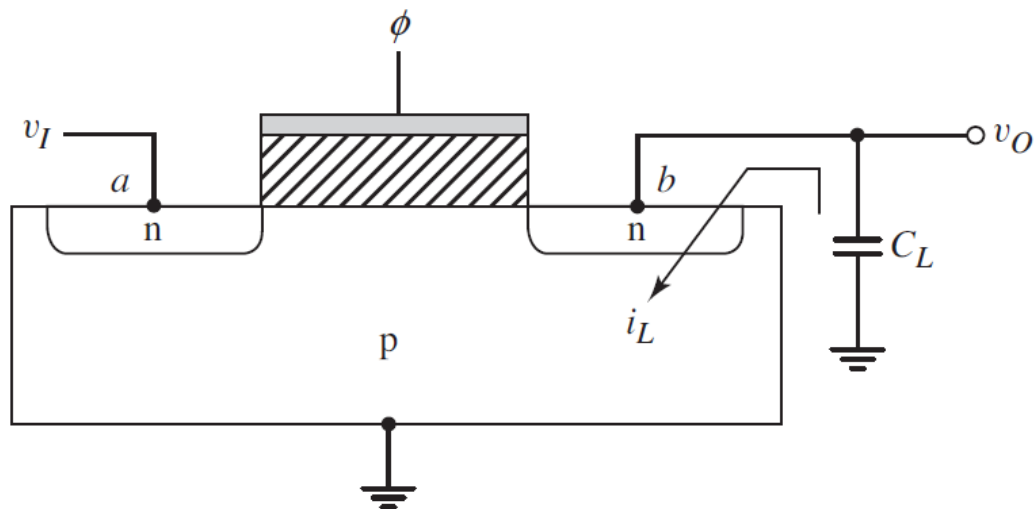
### NMOS obousměrný spínač

- tranzistor MOSFET s indukovaným kanálem N může pracovat jako obousměrný spínač tj. vede proud oběma směry
- vstupy  $a$ ,  $b$  pracují oba buď jako drain nebo source podle směru proudu, substrát musí být připojen na nejnižším potenciálu (většinou je uzemněn)



(a) NMOS transmission gate, showing substrate connection, and (b) simplified diagram

# NMOS obousměrný spínač

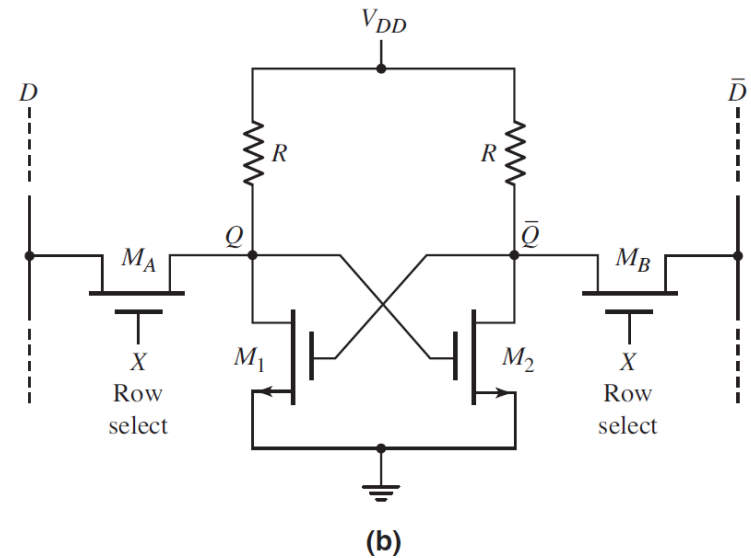
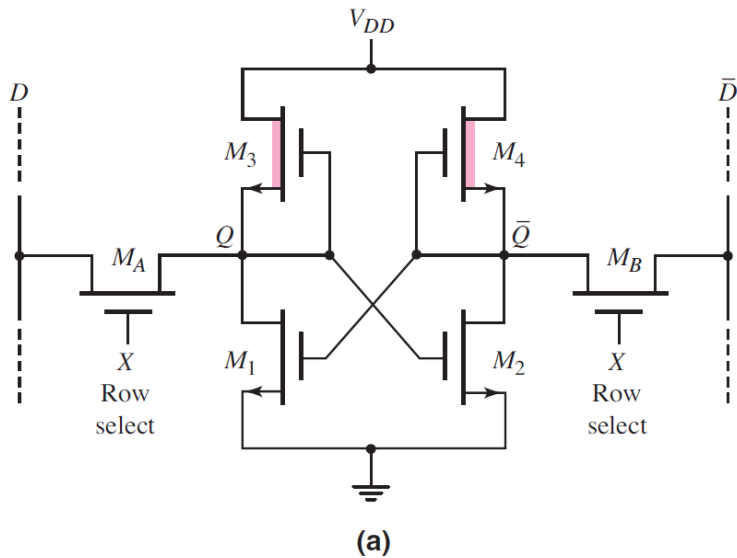
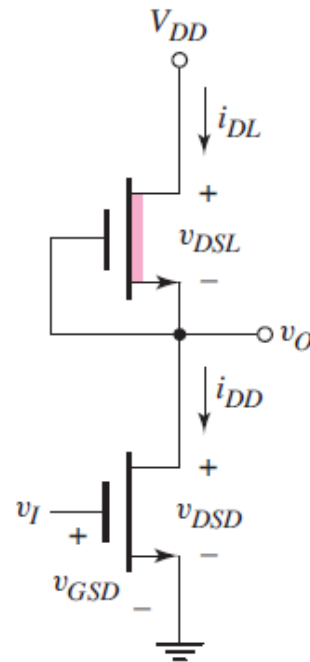


NMOS transmission gate with cross section of NMOS transistor

# Architektura paměti

NMOS SRAM buňka  
(starší koncept)

NMOS invertor

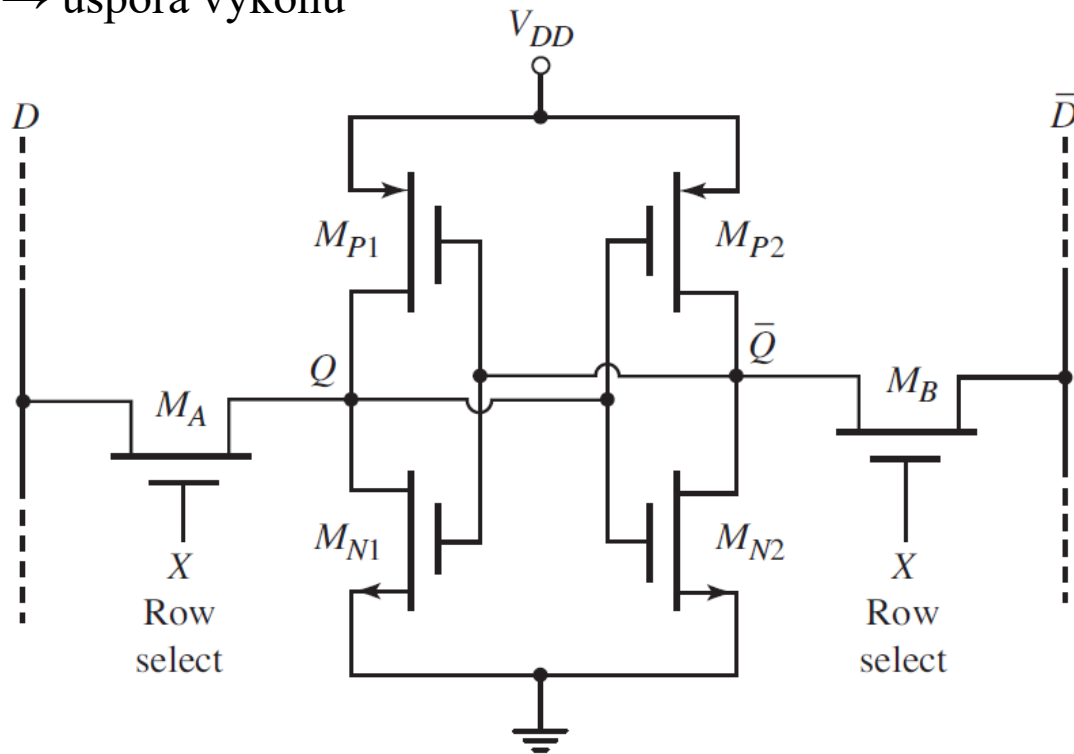


Static NMOS RAM cells with (a) depletion loads and (b) polysilicon resistor loads

# Architektura paměti

## CMOS SRAM

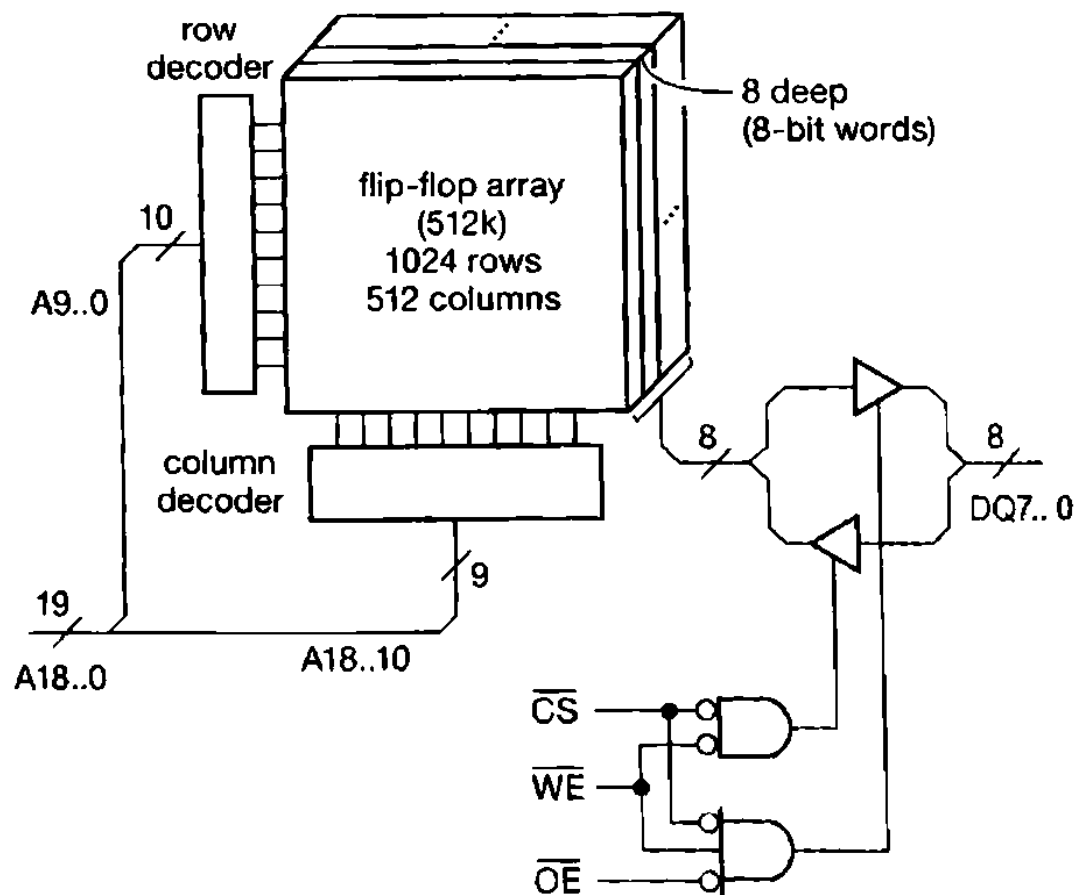
- výhoda CMOS – nízká spotřeba energie, vysoká odolnost proti šumu, široký rozsah použitelných teplot, ostré přechodové charakteristiky, velké tolerance napájecího napětí
- complementární tranzistory NMOS a PMOS jsou oba zároveň ve vodivém stavu pouze v době spínání → úspora výkonu



CMOS static RAM cell

# Architektura paměti SRAM

- asynchronní SRAM → není řízená hodinovým signálem
- data se zapisují do paměti často najednou jako slova tj 8 bitů na jedné adrese
- tato slova jsou pak v paměti uspořádána do matice řádků a sloupců



-pro aktivaci paměti je třeba poslat adresu na adresovou sběrnici a aktivovat

$$\overline{CS} = 0,$$

-při čtení dat z paměti:

$$\overline{WE} = 1, \overline{OE} = 0$$

-při zápisu dat:

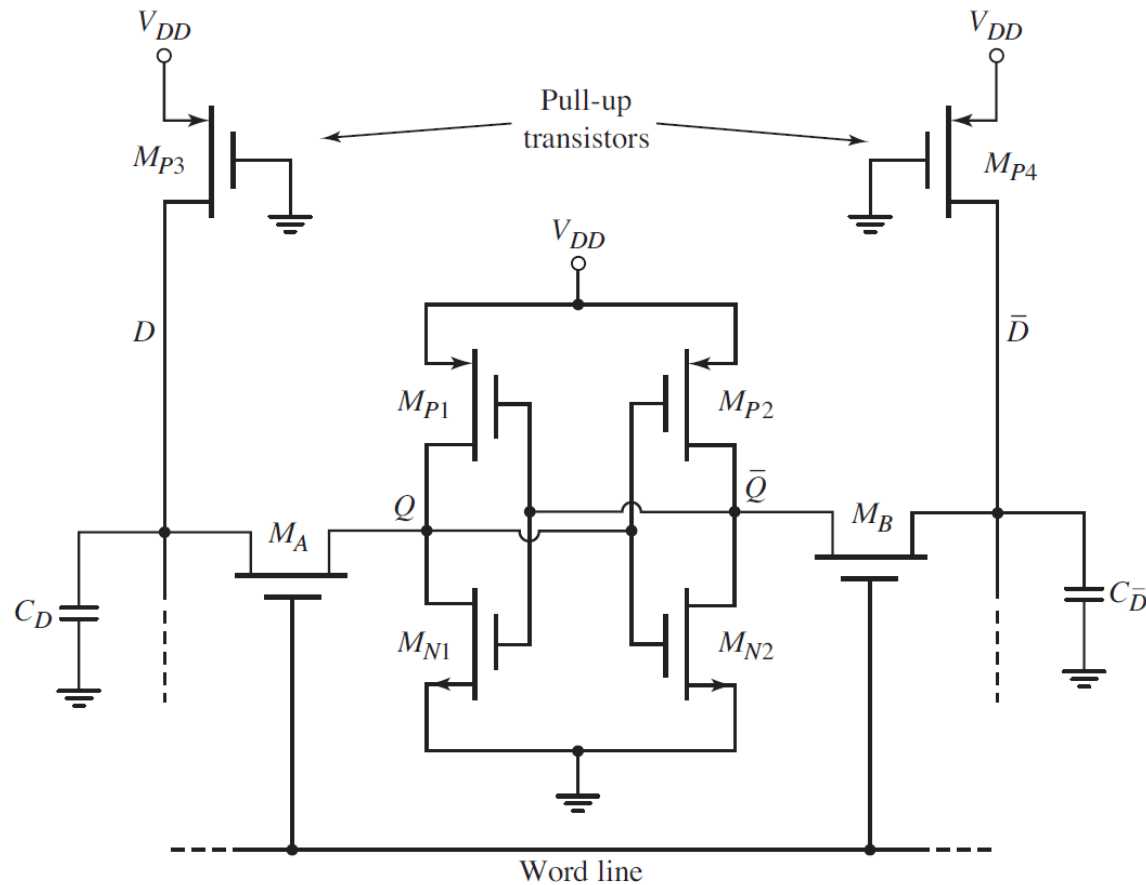
$$\overline{WE} = 0, \overline{OE} = 1$$

Asynchronous SRAM architecture: an array of cells with an  $n$ -bit parallel address, and simple control by  $\overline{WE}'$ ,  $\overline{CS}'$ , and  $\overline{OE}'$ . Word widths of 8 bits and 16 bits are most common.

# Architektura paměti

CMOS SRAM

kompletní zapojení SRAM

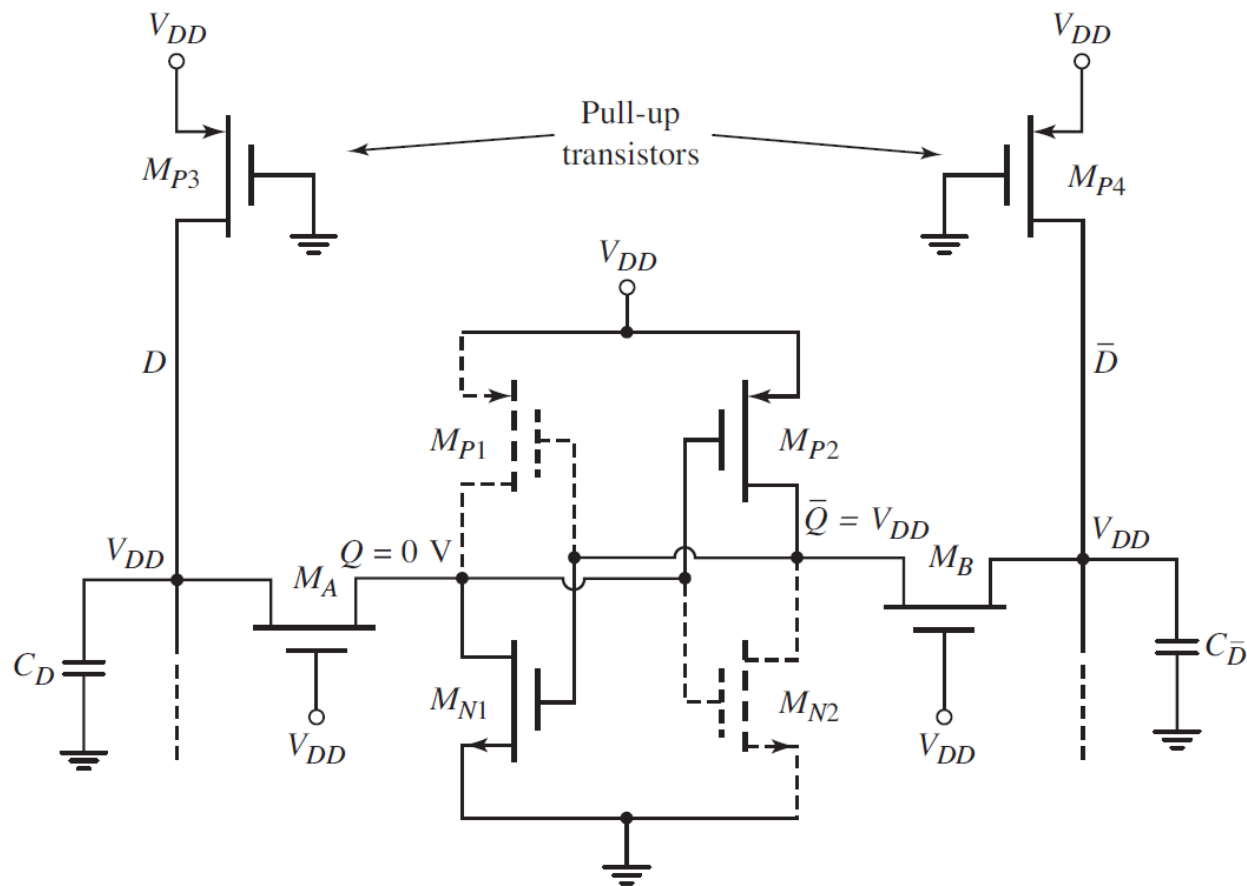


CMOS RAM cell including PMOS pull-up transistors

# Architektura paměti

## CMOS SRAM

- cyklus čtení z paměti, čtení nesmí ovlivnit data uložená v paměti



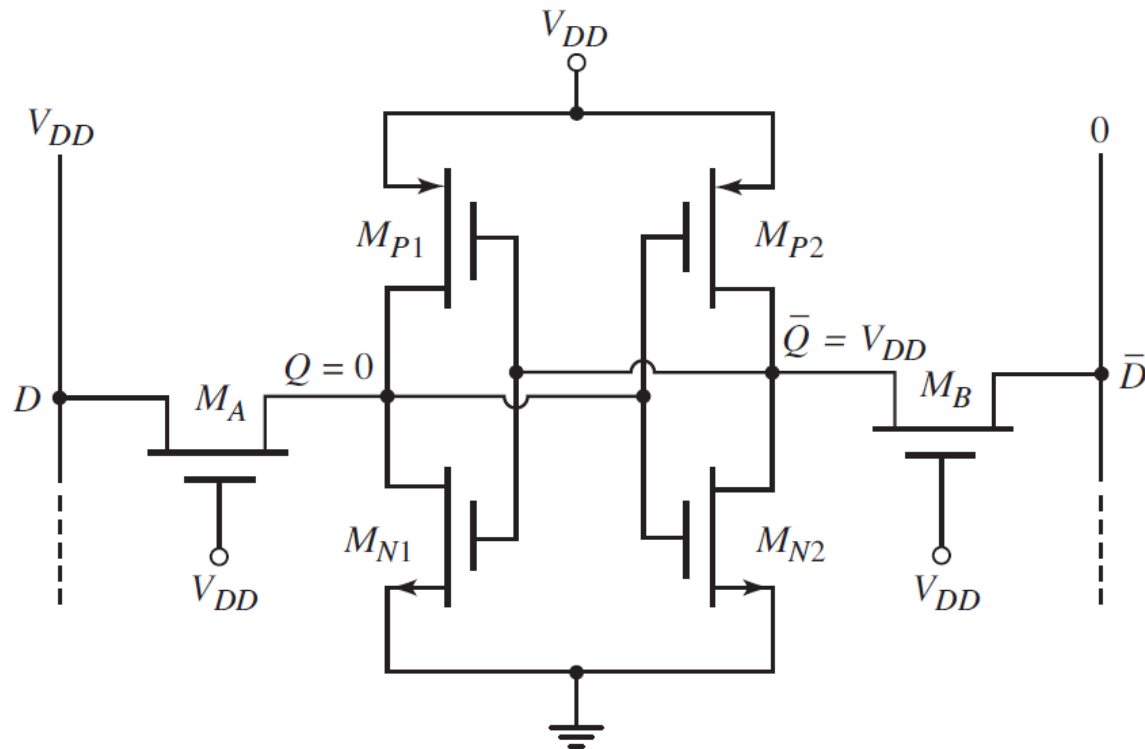
Voltage levels and “on” transistors in CMOS RAM cell at the beginning of the read cycle

# Architektura paměti

## CMOS SRAM

- režim zápisu do SRAM

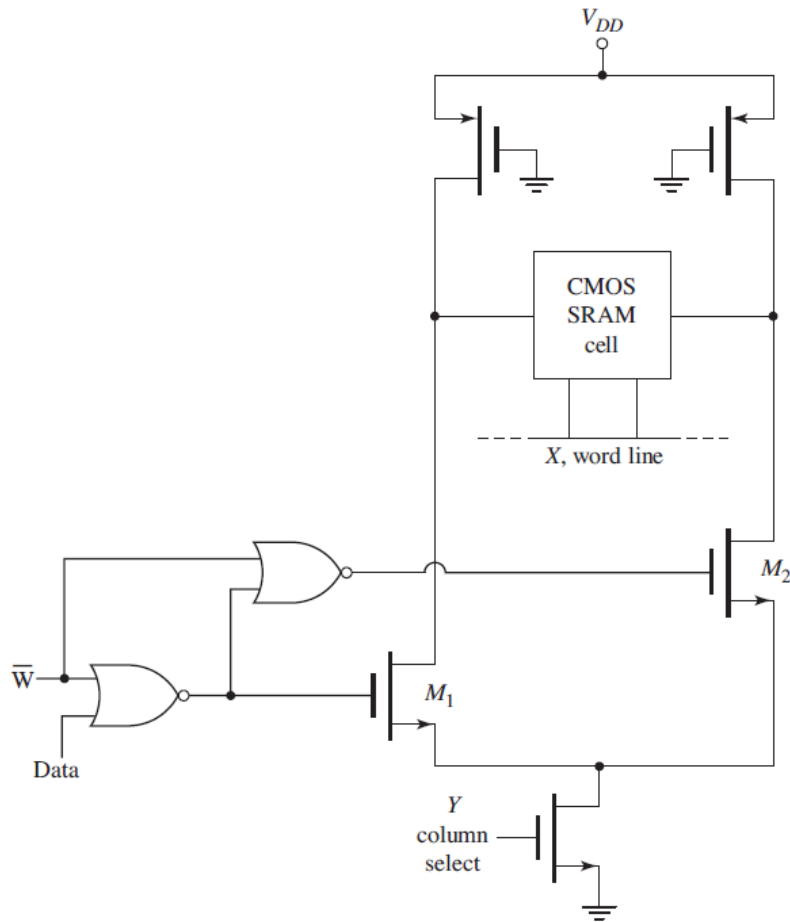
- tvrdá nula na  $\bar{D}$  způsobí překlopení stavu  
paměti z log 0 na log 1



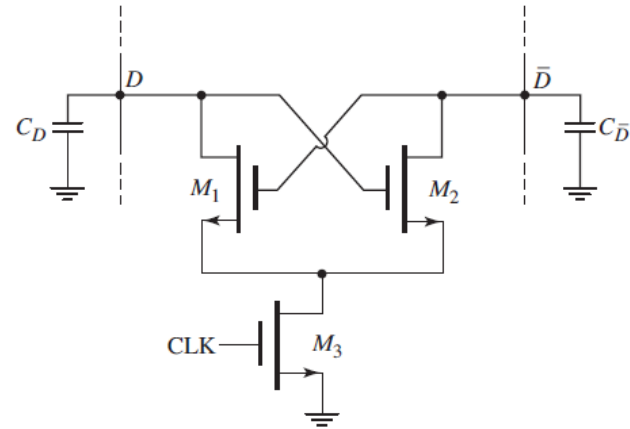
Voltage levels in the CMOS RAM at the beginning of a write cycle

# CMOS SRAM

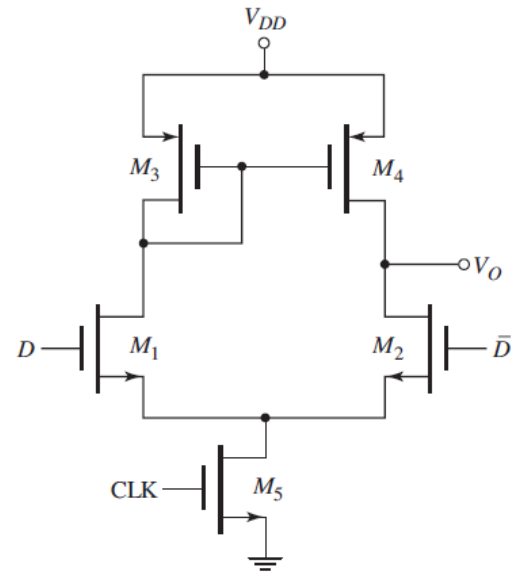
-kompletní obvody pro zápis do paměti a čtení



(a)



(b)

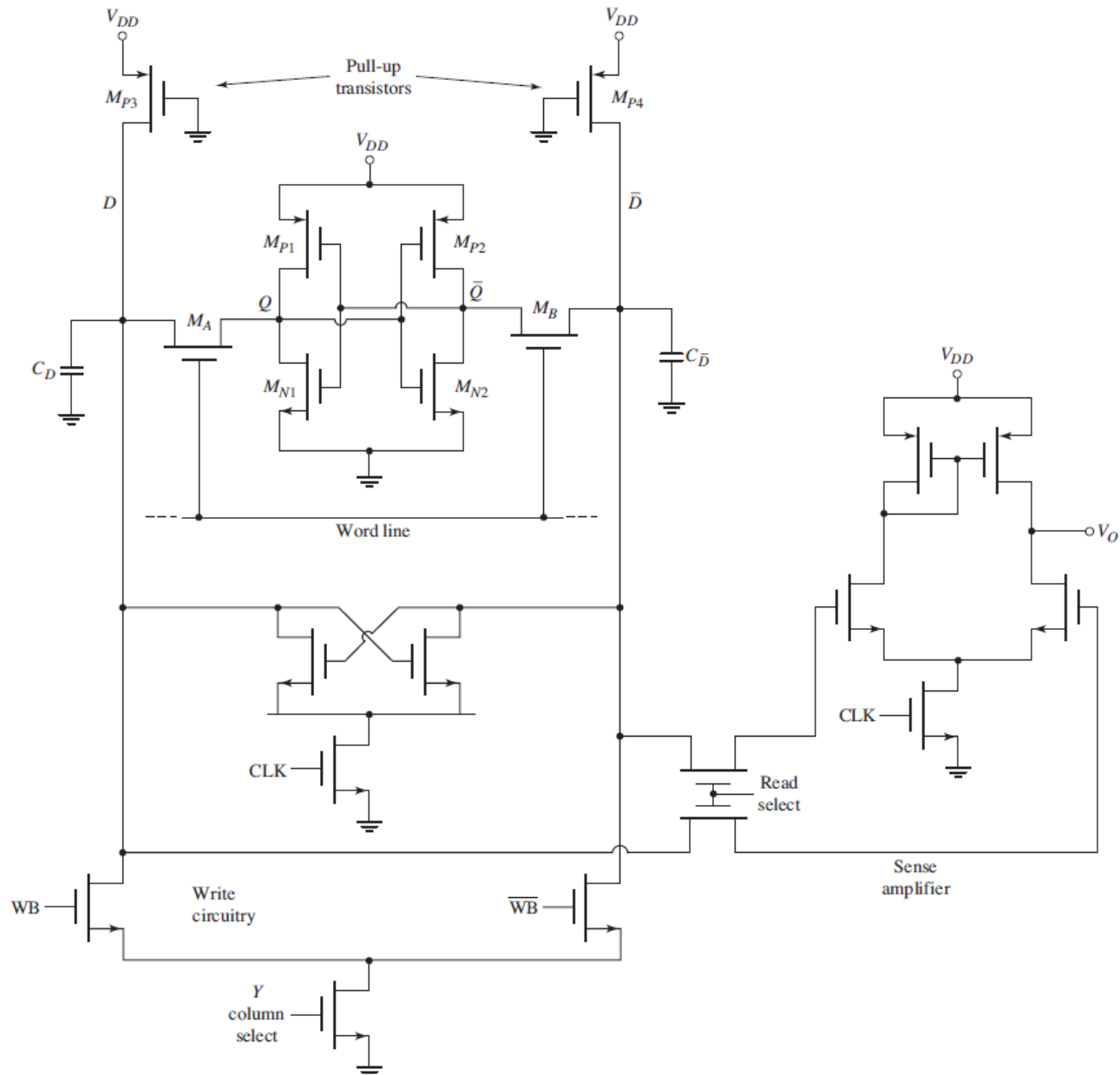


(c)

(a) Write circuitry associated with CMOS RAM cell; (b) cross-coupled NMOS sense amplifier; (c) CMOS differential sense amplifier

# Architektura paměti CMOS SRAM

-kompletní obvody pro zápis do paměti a čtení

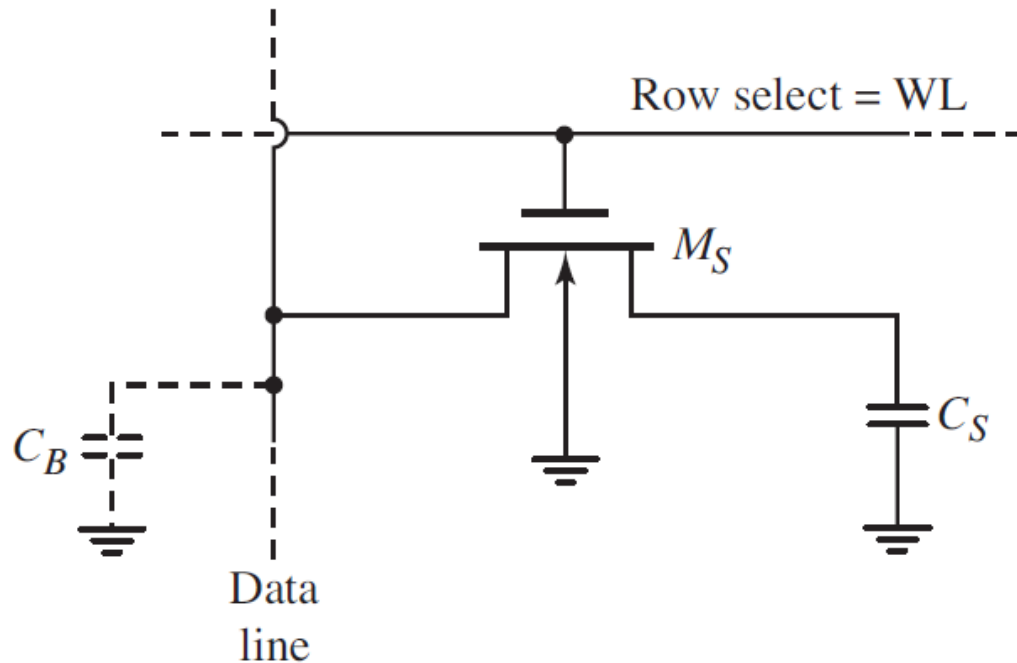


# Architektura paměti

## Dynamic RAM (DRAM) Cells

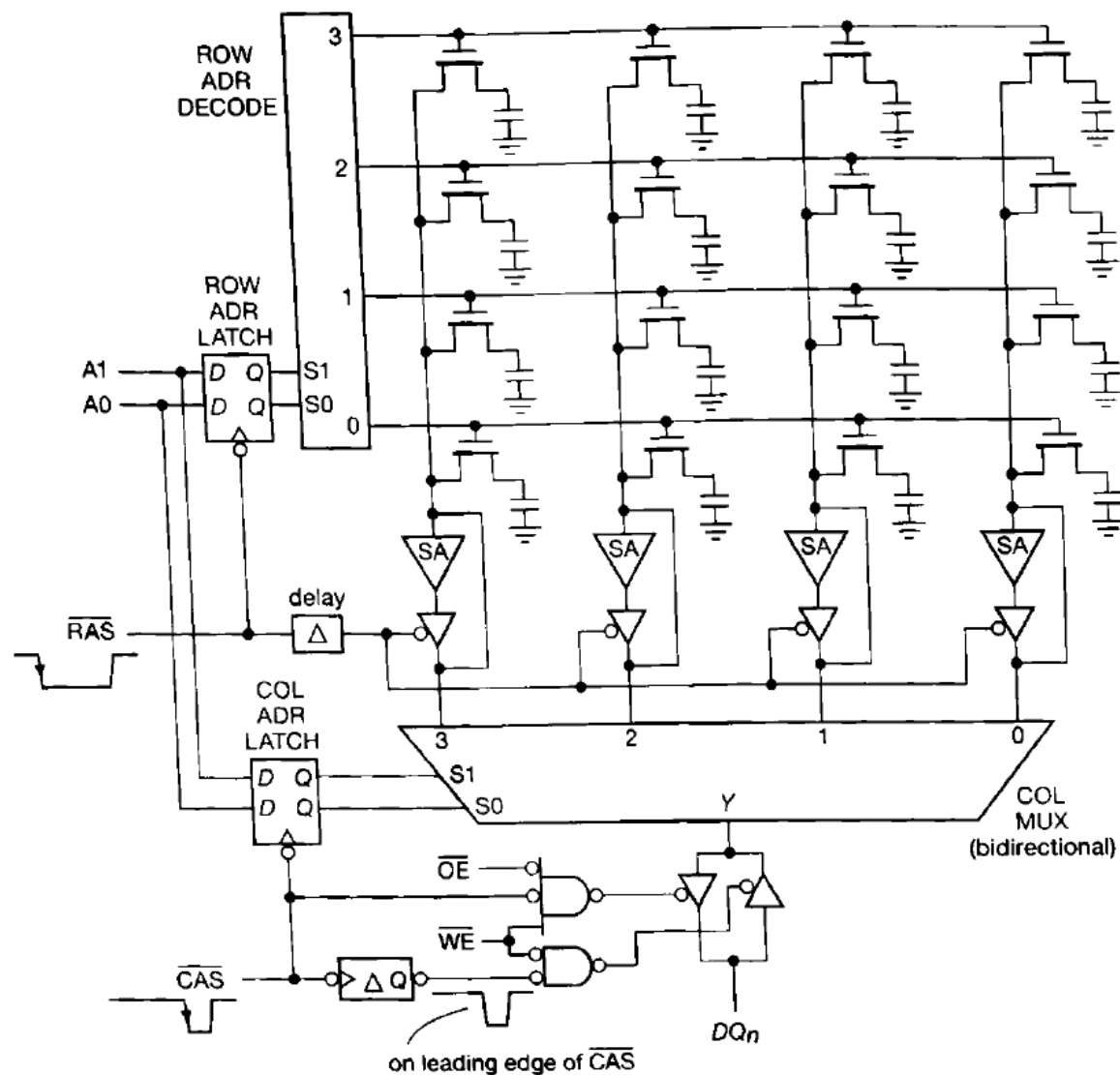
využívá vnitřní kapacitu FETu pro uchování informace

- lze tak dosáhnout vysoké hustoty integrace
- musí být ale periodicky obnovována informace



One-transistor dynamic RAM cell

## příklad asynchronní DRAM paměťové matice



Asynchronous DRAM architecture, here illustrated with a tiny  $4 \times 4$  array of 1-bit “words.” The address lines are multiplexed, with row and column addresses registered internally. The latching sense amplifiers (SA’s) read (and refresh) the state of the row-addressed bit lines during a READ cycle. During a WRITE cycle they are instead overdriven by the input data on the same shared input/output data line *DQ0*.

# Architektura pamětí

## Dynamic RAM (DRAM) Cells

$C_S$  paměťový kondenzátor

$C_R$  referenční kondenzátor

- v klidovém stavu jsou  $D$  a  $D_R$

nabity na stejný potenciál

- při čtení jsou  $WL$  a  $D-WL$  na log 1

a  $\overline{CE} = 0$

1) v paměti je log 0:

při otevření  $M_5$  a  $M_R$  se  $C_S$  nabije na  
menší potenciál než  $C_R \rightarrow v_2 > v_1 \rightarrow$

po aktivaci  $\phi_2 = \text{log } 1$  se klopný  
obvod přepne do stavu:

$v_1 = 0, v_2 = 1$

2) v paměti je log 1:

při otevření  $M_5$  a  $M_R$  se  $C_S$   
se ustálí na větší potenciál

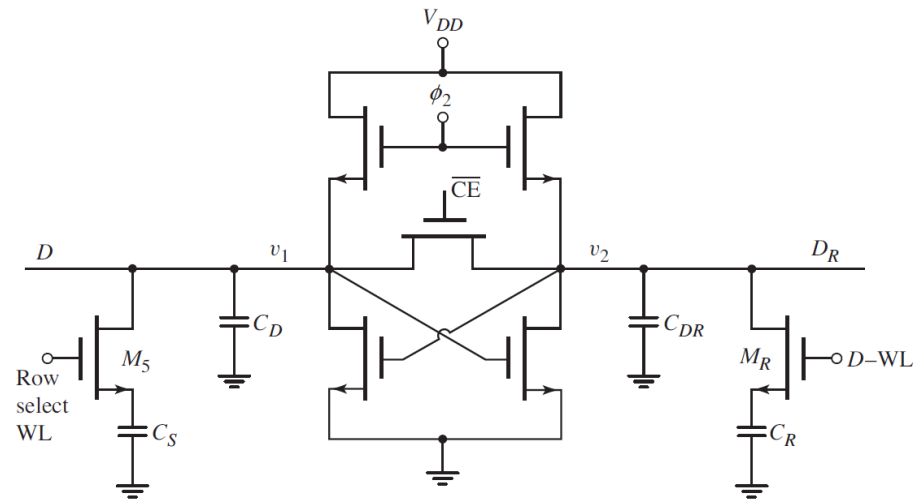
než  $C_R \rightarrow v_2 < v_1 \rightarrow$

po aktivaci  $\phi_2 = \text{log } 1$  se  
klopný obvod přepne do stavu:

$v_1 = 1, v_2 = 0$

$C_D, C_{DR}$  – parazitní kapacity datových vodičů

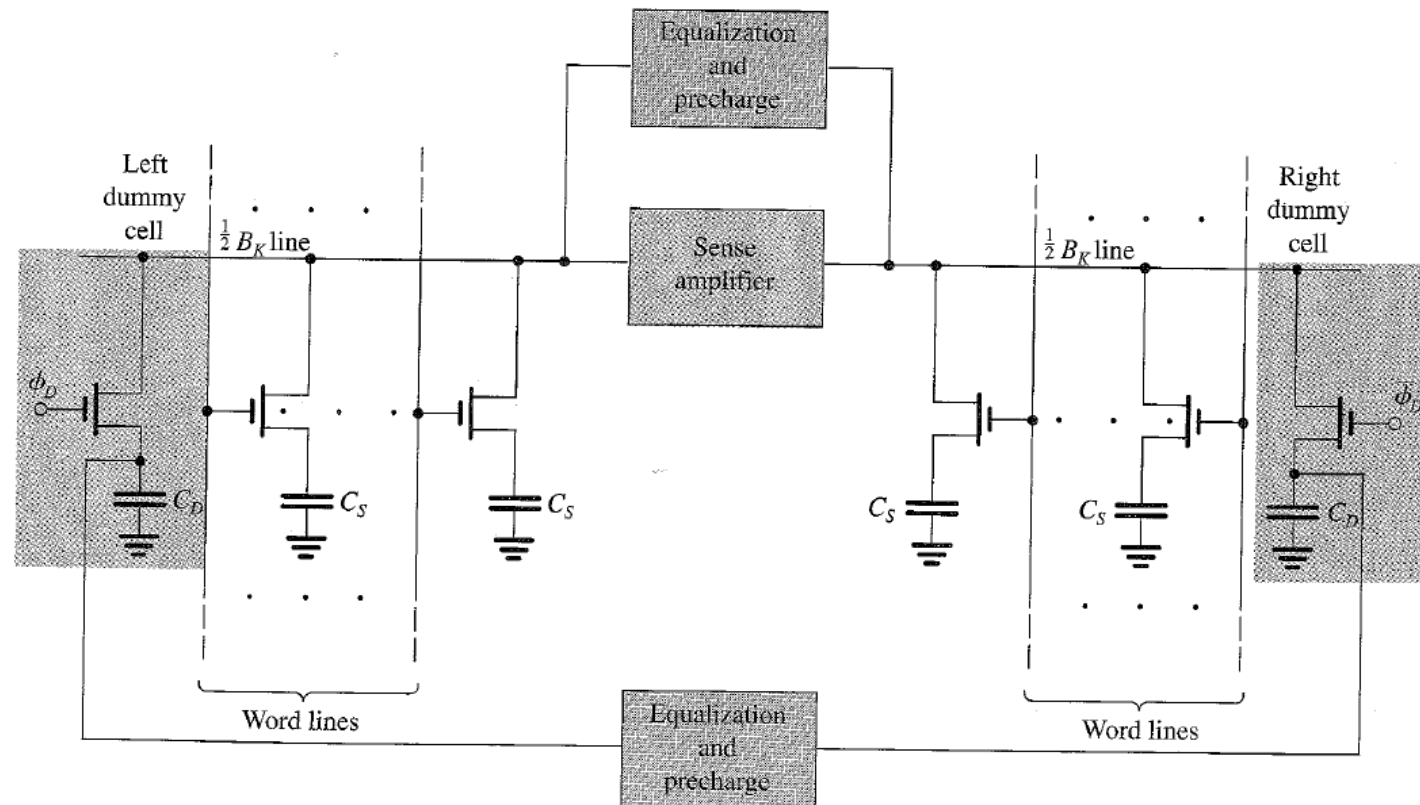
$$C_S = 2C_R$$



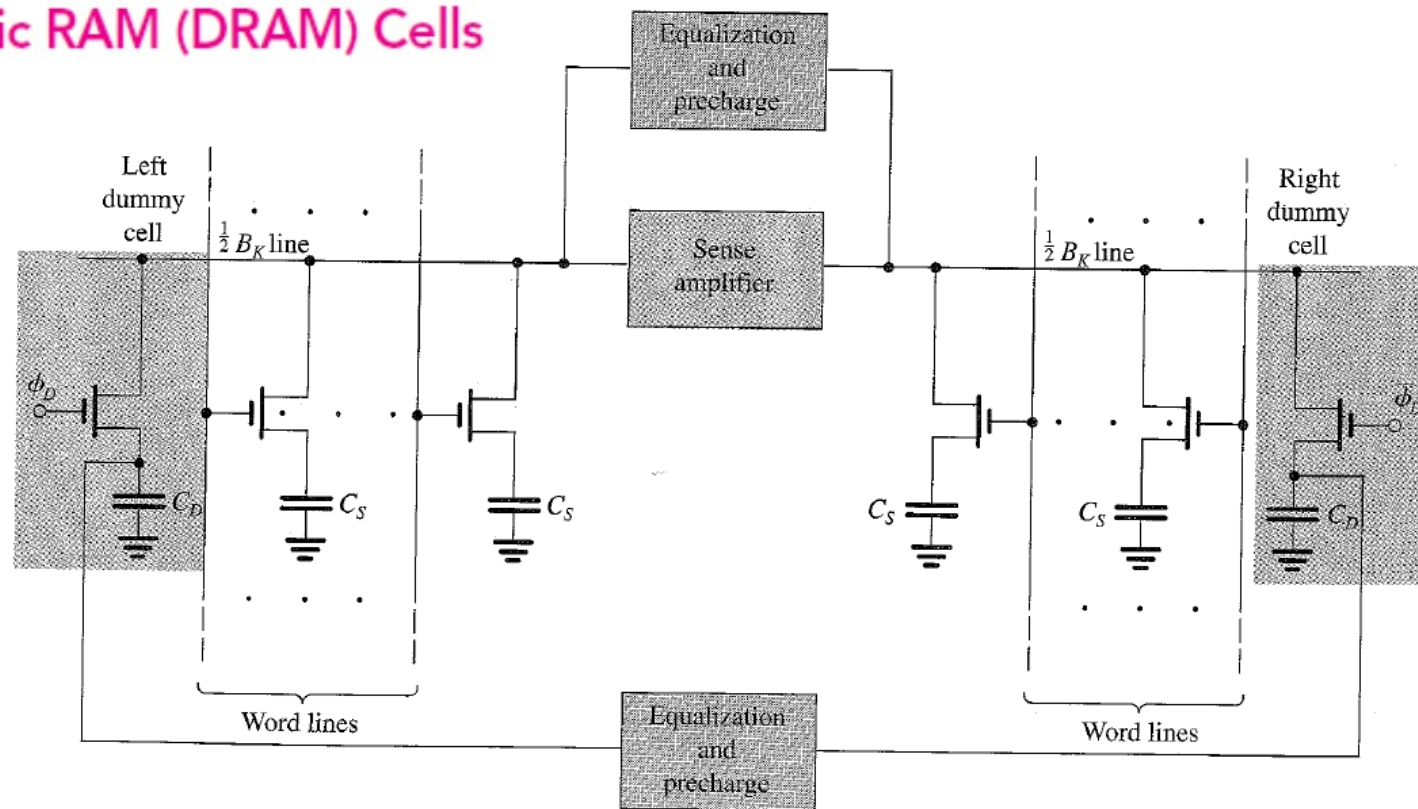
use amplifier configuration for dynamic RAM cell

## Dynamic RAM (DRAM) Cells

Basically, each bit line is split into two identical halves. Each half-line is connected to half the cells in the column and to an additional cell, known as a *dummy cell*, having a storage capacitor  $C_D = C_S$ . When a word line on the left side is selected for reading, the dummy cell on the right side (controlled by  $\bar{\phi}_D$ ) is also selected, and vice versa; that is, when a word line on the right side is selected, the dummy cell on the left (controlled by  $\phi_D$ ) is also selected. In effect, then, the dummy cell serves as the other half of a differential DRAM cell. When the left-half bit line is in operation, the right-half bit line acts as its complement (or  $\bar{B}$  line) and vice versa.



## Dynamic RAM (DRAM) Cells

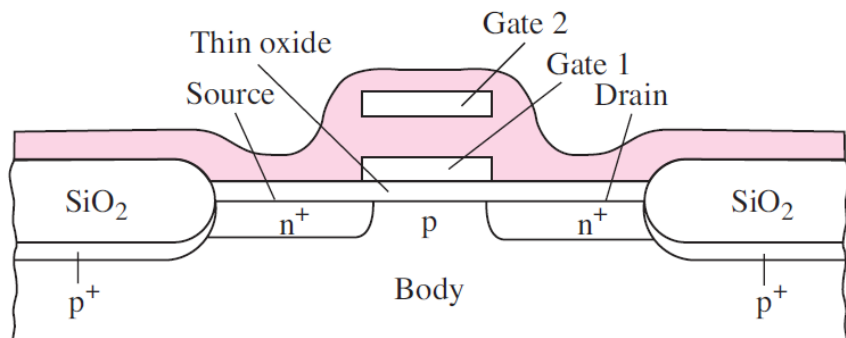


Operation of the circuit is as follows: The two halves of the line are precharged to  $V_{DD}/2$  and their voltages are equalized. At the same time, the capacitors of the two dummy cells are precharged to  $V_{DD}/2$ . Then a word line is selected, and the dummy cell on the other side is enabled (with  $\phi_D$  or  $\bar{\phi}_D$  raised to  $V_{DD}$ ). Thus the half-line connected to the selected cell will develop a voltage increment (around  $V_{DD}/2$ ) of  $\Delta V(1)$  or  $\Delta V(0)$  depending on whether a 1 or a 0 is stored in the cell. Meanwhile, the other half of the line will have its voltage held equal to that of  $C_D$  (i.e.,  $V_{DD}/2$ ). The result is a differential signal of  $\Delta V(1)$  or  $\Delta V(0)$  that the sense amplifier detects and amplifies when it is enabled. As usual, by the end of the regenerative process, the amplifier will cause the voltage on one half of the line to become  $V_{DD}$  and that on the other half to become 0.

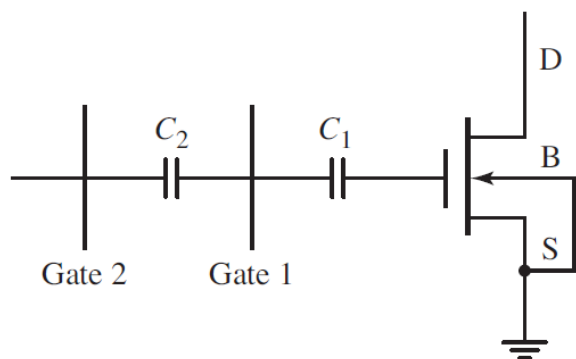
# Architektura paměti

## EPROM and EEPROM Cells

### EPROM



(a)



(b)

gate 1 – floating gate, nemá elektrický kontakt

gate 2 – control gate, používá se pro výběr buňky

### EPROM

zapisování log 1 → na gate 2 a drain se přivede  $V_{G2}=25V$  a  $V_d=+25V$ , source a body jsou uzemněné

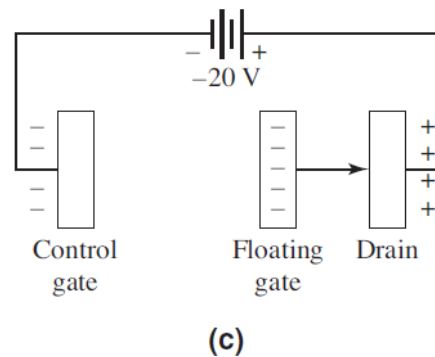
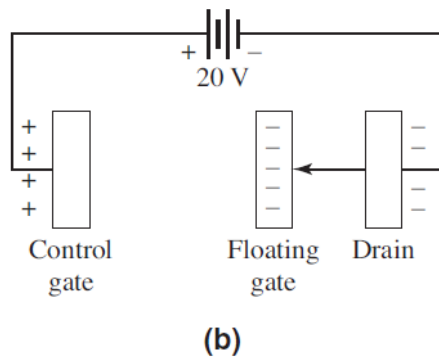
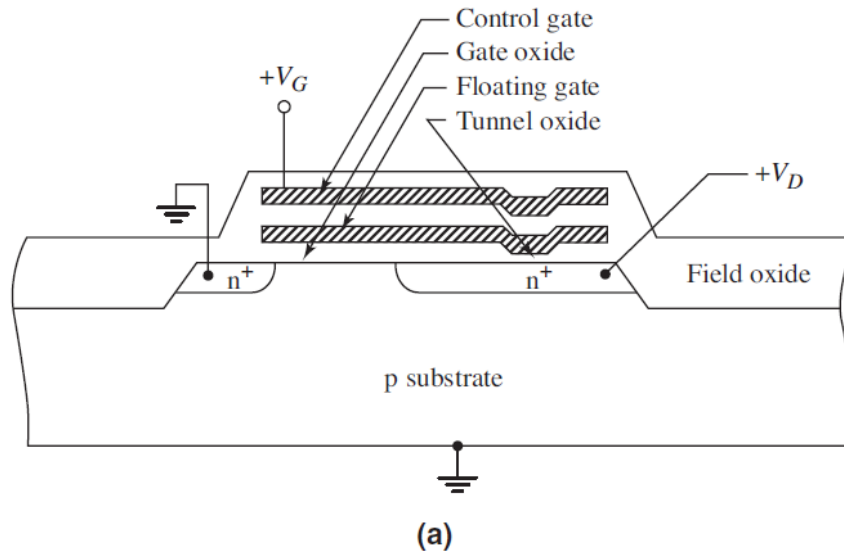
→ teče velký proud mezi drain a source a nastane lavinový průraz drain-body a skrz SiO<sub>2</sub> se na plovoucím gate zachytí elektrony a zůstanou tam izolovány při napětí na gate 2  $V_{G2}=+5V$  se tranzistor neotevře

EPROM se maže najednou UV zářením, kdy SiO<sub>2</sub> trochu vede a náboj odejde z gate 1

(a) Cross section of erasable programmable ROM; (b) equivalent circuit

# Architektura paměti

## EPROM and EEPROM Cells



EEPROM maže se přivedením 20V na drain a  $V_D=20\text{ V}$  na control gate 0 V, elektrony tunelují pryč z plovoucího gate a bude na něm kladný náboj (log 0), tranzistor vede (pracuje v ochuzovacím modu)

EEPROM

zapisování log 1

Na control gate se přivede +20V,  $V_D = 0\text{ V}$  a elektrony tunelují na floating gate, kde zůstanou, tranzistor se pak neotevře (log 1)  
pro čtení dat se používají nízká napětí 5V

(a) Cross section of a floating-gate electrically erasable programmable ROM;

(b) charging the floating gate; (c) discharging the floating gate

## **Literatura:**

M. Antořová, V. Davídek, Číslicová technika, 2013 Kopp

Richard C. Jaeger, Travis N. Blalock, Microelectronic circuit design,  
2011 by The McGraw-Hill Companies, Inc.

P. Horowitz, W. Hill, The art of Electronics, Third edition, Cambridge University Press,  
1980, 1989, 2015.

Donald A. Neamen, Microelectronics Circuit Analysis and Design, Published by  
McGraw-Hill (2010).