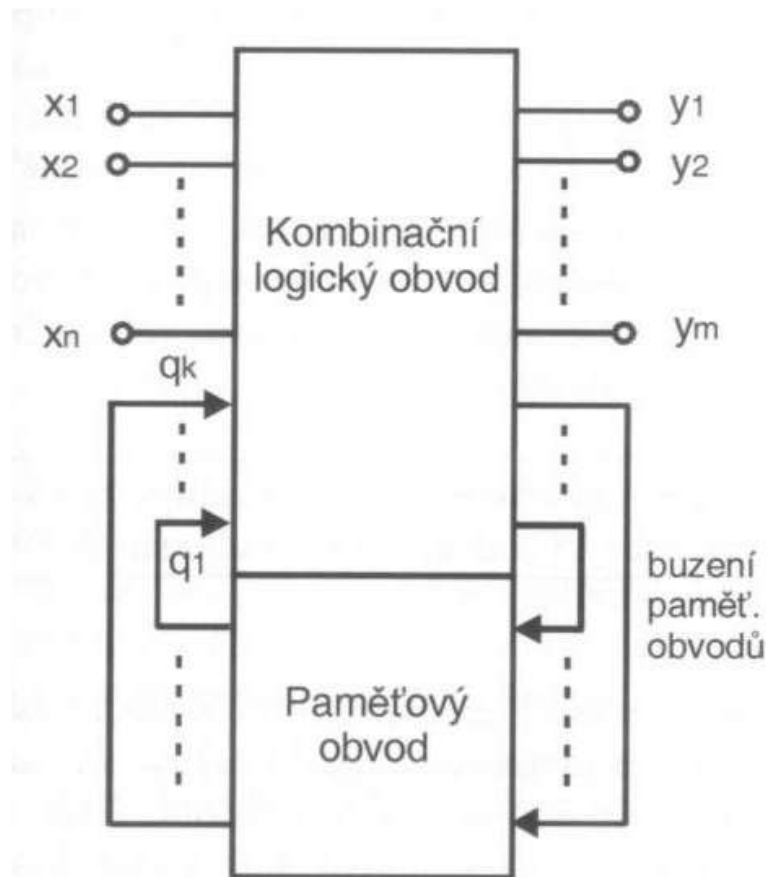


Sekvenční logické obvody

U sekvenčních logických obvodů okamžitá hodnota výstupů závisí na okamžitých hodnotách vstupů, ale také i na jejich předchozích stavech. Sekvenční obvody obsahují paměťové prvky, ve kterých je uchován předchozí stav obvodu a obvod na ně reaguje.



Klopné obvody

-klopné obvody jsou nejjednodušší paměťové sekvenční logické obvody

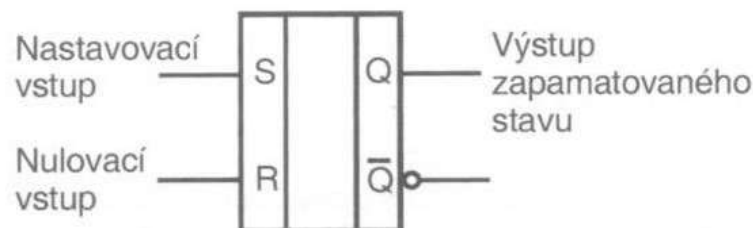
Klopné obvody zaznamenávají přítomnost přechodné informace a uchovávají tento stav i po vymizení této informace. Klopné obvody jsou jednoduché paměti. Výstup klopných Obvodů se mění mezi stavem logické jednička a nuly.

Podle počtu stabilních stavů dělíme klopné obvody na:

- *bistabilní* - tyto obvody mají dva možné stabilní stavy, jeden přechází skokem v druhý v případě, že je na vstup přiveden budící vstupní signál, příp. taktovací signál. Používají se jako registry, děliče frekvence a pro statické paměťové obvody
- *monostabilní* - tyto obvody mají jeden stabilní stav a jejich výstupní signál je jeden impuls, který vznikne teprve přivedením signálu na vstup klopného obvodu. Používají se pro generování jednotlivých impulsů, jejichž délka je dána hodnotou vnějších RC prvků
- *astabilní* - tyto obvody nemají žádný stabilní stav a jejich výstupní signály jsou periodické impulsy. Jejich amplitudy a frekvence závisejí na parametrech obvodu. Používají se jako zdroje taktovacích signálů v různých aplikacích, jako např. v sekvenčních obvodech, mikroprocesorech a v dalších.

Jednoduchý klopný obvod RS

Nejjednodušším bistabilním klopným obvodem je klopný obvod RS. Má dva vstupy R a S, výstup Q a jeho negaci $\overline{Q}$. Vstup S (Set - nastavení) slouží jako vstup signálu, kterým se nastavuje klopný obvod do logické 1. Přivedeme-li na vstup S logickou 1, přejde výstup do stavu $Q = 1$. Vstup R (Reset - nulování) slouží jako vstup signálu pro nulování klopného obvodu. Přivedeme-li na vstup R logickou 1, přejde výstup do stavu $Q = 0$ a $\overline{Q} = 1$.



Obr. 7.4 Vstupy a výstupy klopného obvodu

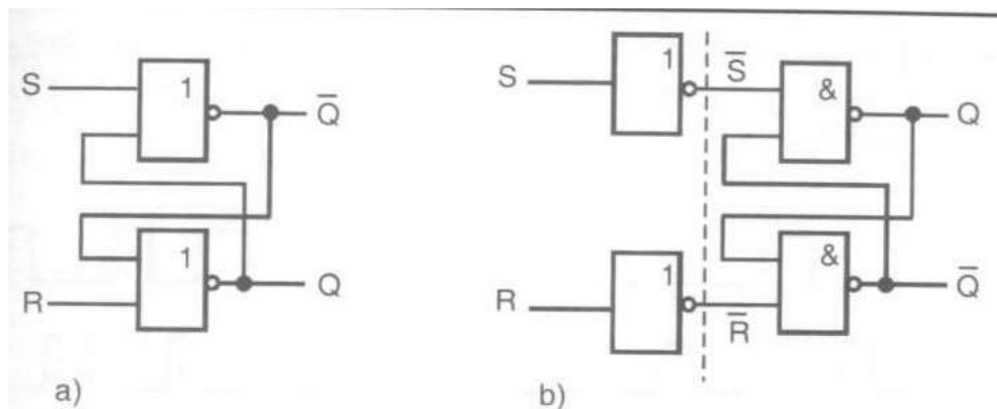
Klopný obvod RS má dva stabilní stavy $Q=1$ a $Q=0$. Současně musí platit, že výstup $\overline{Q}$ je negací výstupu Q , tedy $\overline{Q} = 0$ a $\overline{Q} = 1$.

Základní klopný obvod RS

- pokud přivedeme na vstupy R a S zároveň logické nuly zůstává výstup obvodu v původním stavu co byl předím
- přivedeme-li na S=1 a na R=0, přejde výstup obvodu do stavu logická 1
- přivedeme-li na R=1 a na S=0, přejde výstup obvodu do stavu logická 0
- přivedeme-li na R=1 a na S=1 bude na Q a $\bar{Q}$ logická jednička což je v rozporu s funkcí obvodu. Je to zakázaný stav.

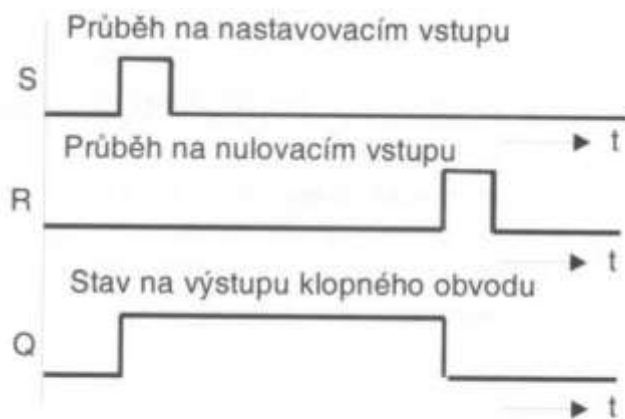
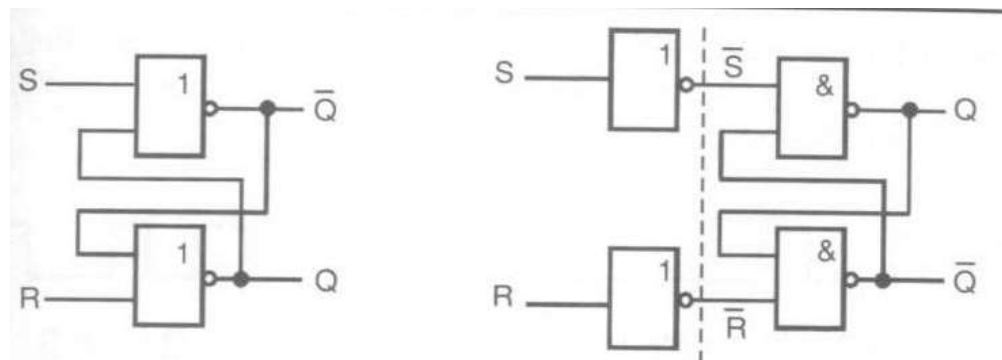
S	R	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	Q^t	$\overline{Q^t}$
0	1	0	1
1	0	1	0
1	1	(1)	(1)

Pravdivostní tabulka RS klopného obvodu

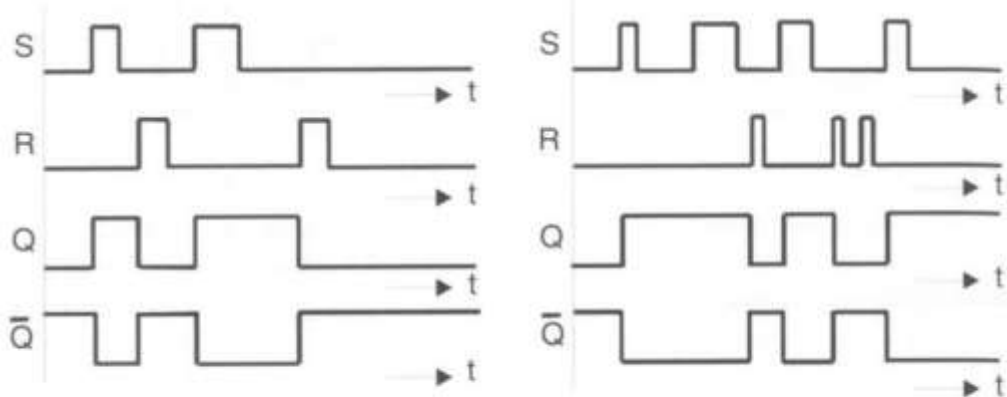


Klopný obvod RS sestavený z hradel a) NOR, b) NAND

Základní klopný obvod RS

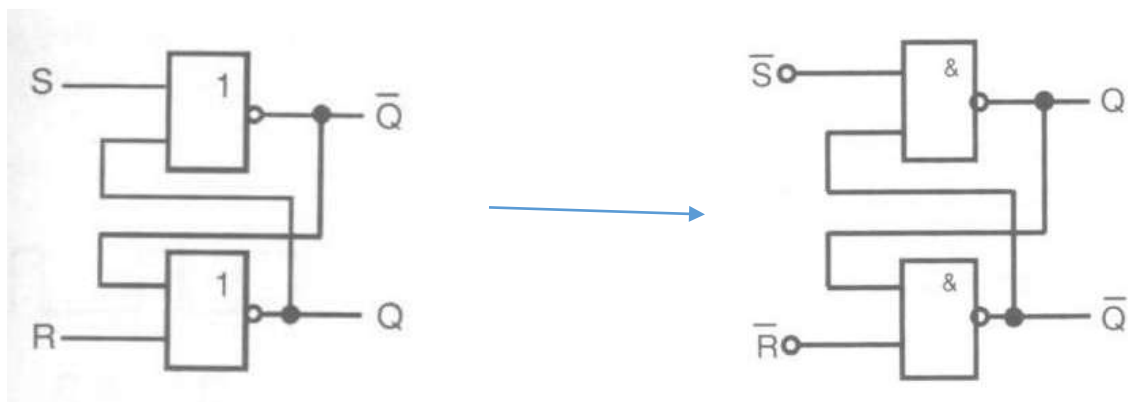


Časový diagram klopného obvodu RS



Časové průběhy budících funkcí a výstupů klopného obvodu RS

RS klopný obvod pouze z hradel NAND



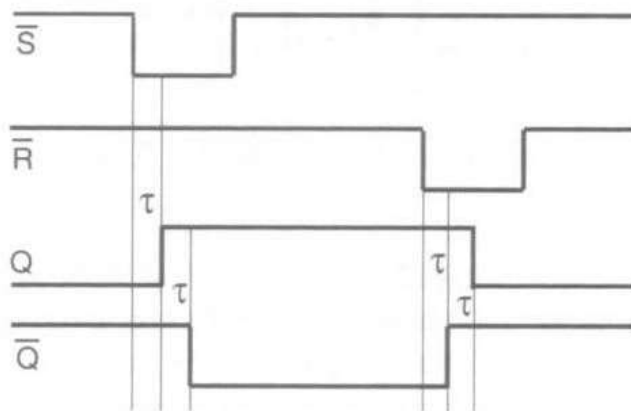
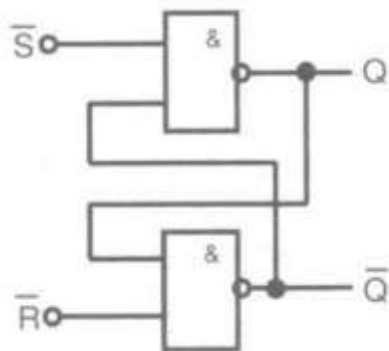
Chceme-li odvodit pravdivostní tabulku tohoto klopného obvodu, použijeme následující pravidlo Booleovy algebry:

- logická funkce obvodu se nezmění, jestliže negujeme všechny jeho proměnné a vzájemně zaměníme operace součtu a součinu.

$\bar{S}$	$\bar{R}$	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	(1)	(1)
0	1	1	0
1	0	0	1
1	1	Q^t	$\overline{Q^t}$

Pravdivostní tabulka RS klopného obvodu z hradel NAND

RS klopný obvod pouze z hradel NAND



Časový diagram klopného RS obvodu z hradel NAND

τ - vyjadřuje zpoždění jednotlivý hradel a tak ukazuje časovou posloupnost jevů v obvodu

Klopný obvod RST

Záznam informace ze vstupů R a S je předán na výstup obvodu pouze v přesně určenou dobu signálem na taktovacím vstupu T

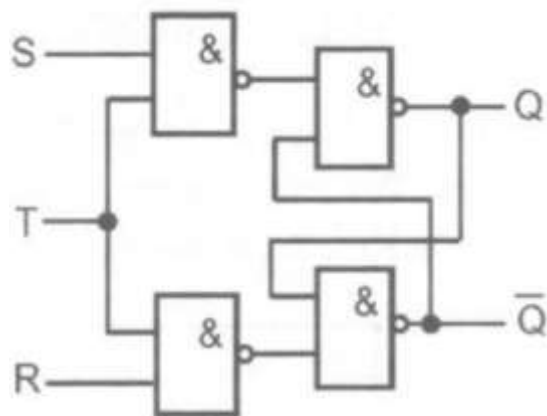


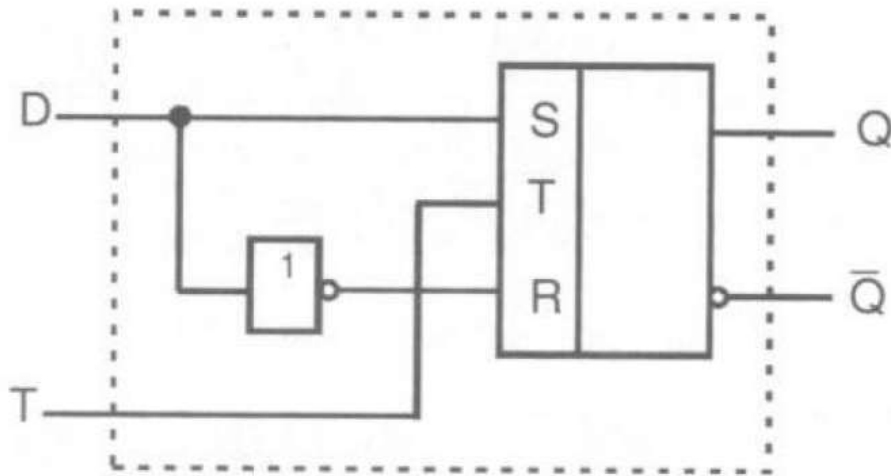
Schéma taktovaného RS klopného obvodu

T	S	R	Q^{t+1}	$\overline{Q^{t+1}}$
X	0	0	Q^t	$\overline{Q^t}$
0	X	X	Q^t	$\overline{Q^t}$
1	0	1	0	1
1	1	0	1	0
1	1	1	(1)	(1)

Pravdivostní tabulka RST klopného obvodu

Pravdivostní tabulka udává stav, do kterého přejde výstup tehdy, když taktovací impuls má hodnotu logická 1, a ve kterém výstupy setrvají po skončení impulsu. Výstupy reagují na změny vstupních veličin po celou dobu trvání taktovacího impulsu. Stav 1, 1 na vstupech R a S je opět nedovolený. Ani tento obvod není tedy proti vzniku zakázaného stavu ošetřen.

Klopný obvod typu D



Blokové schéma klopného obvodu typu D

T	D	Q^{t+1}
0	x	Q^t
1	0	0
1	1	1

Pravdivostní tabulka klopného obvodu D

Tímto řešením se vyhneme zakázanému stavu na vstupech. Informace ze vstupu D se přenáší na výstup celou dobu, kdy je na vstupu T logická jednička.

Tyto obvody taktované úrovní taktovacího pulzu se nazývají typu “latch”.

Používají se jako paměťové registry na vyrovnávací paměti.

Dvojčinný klopný obvod RST

- jedná se obvody s mezipamětí

informace ze vstupů na výstup se přenáší do mezipaměti po celou dobu logické

jedničky na taktovacím vstupu T, ale na finální výstup se hodnota přenesení až při přechodu taktovacího vstupu na logickou nulu

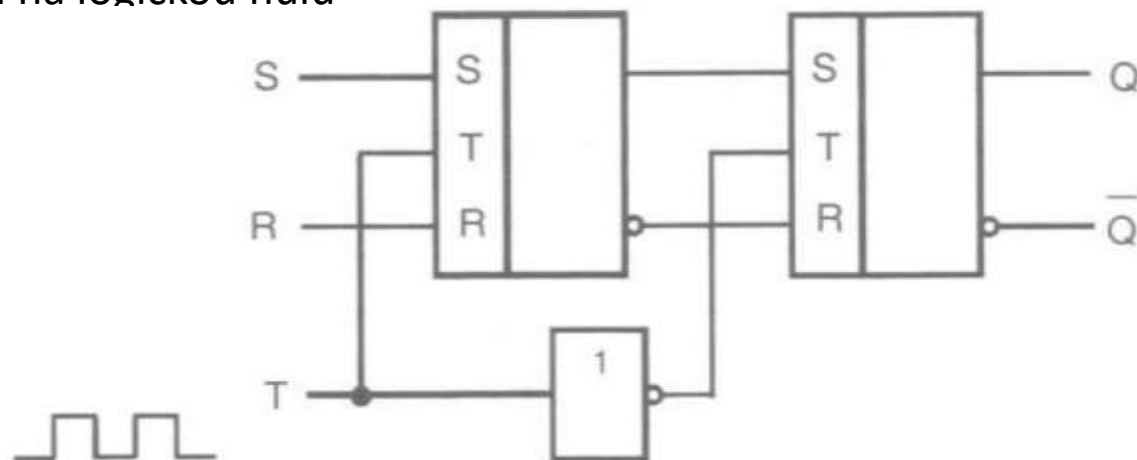


Schéma dvojčinného RST klopného obvodu

Klopný obvod tohoto typu není zajištěn proti možnosti vzniku nedefinovaného překlopení, pokud týl hodinového impulsu přichází ve stavu, kdy R a S jsou ve stavu logická 1. Důležitý je však fakt, že stav výstupního klopného obvodu zachycuje stav vstupů v jediném okamžiku, a to ve chvíli, kdy probíhá týl taktovacího impulsu. V jiných fázích taktovacího průběhu nelze výstup ovlivnit. Říkáme, že takové klopné obvody jsou řízeny *hranou* taktovacího signálu. Ty jsou vhodné pro použití v čítačích a posuvných registrech. Podle konstrukce mohou být klopné obvody taktovány buď náběžnou nebo sestupnou hranou.

Dvojčinný klopný obvod JK

Dvojčinný JK klopný obvod umožňuje definovat logickou funkci na vstupu i pro případ, že na obou vstupech je zároveň logická jednička. JK obvody se spouští týlem taktovacího signálu.

Obvod má oddělené taktovací vstupy obou stupňů klopných obvodů pomocí invertoru. Díky zpětné vazbě z výstupu Q na vstup K a z výstupu $\bar{Q}$ na vstup J se dosahuje při kombinaci $J=1$ a $K=1$ překlopení výstupu obvodu do opačného stavu než byl před příchodem týlu taktovacího impulsu.

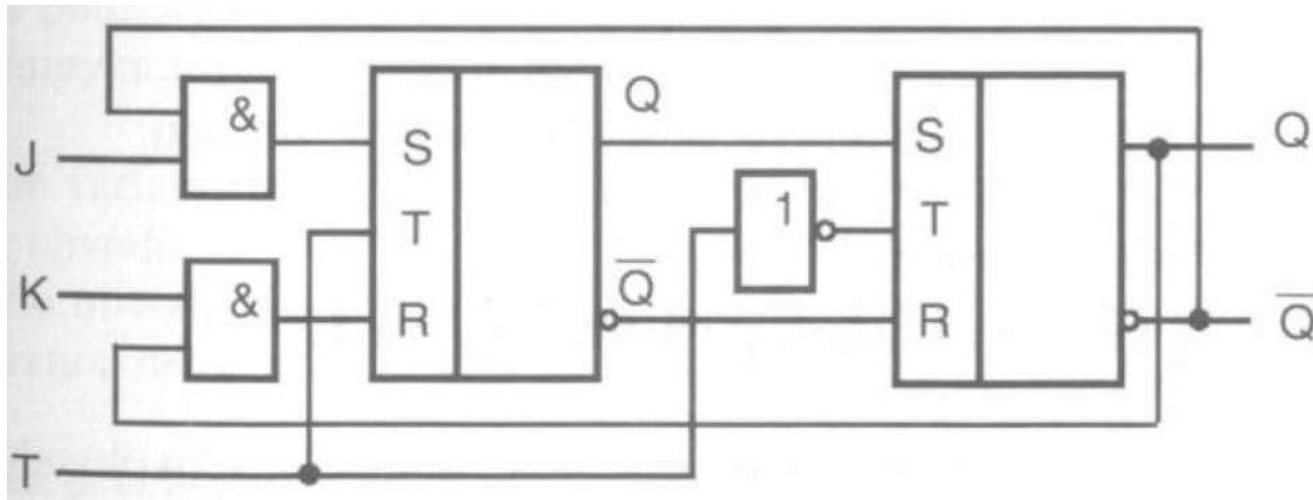
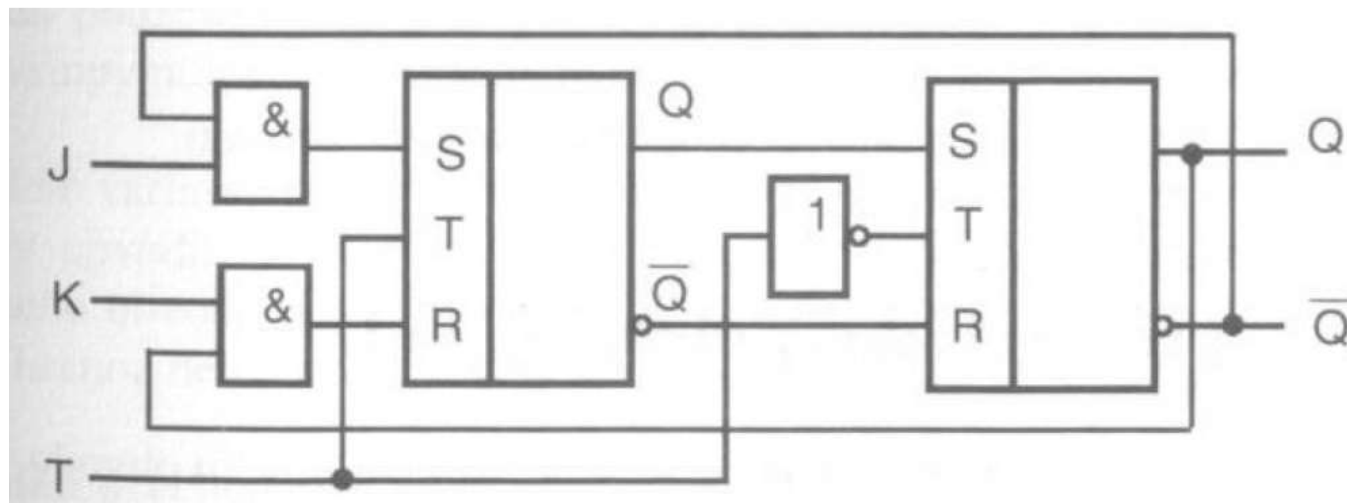


Schéma dvojčinného JK klopného obvodu



Klopný obvod JK je zabezpečen proti vzniku zakázaného stavu na výstupu. Zabezpečení v tomto obvodu pro $J = K = 1$ snadno odvodíme, víme-li, že na vstupu jsou součinné členy. Alespoň jeden z nich má totiž na vstupu logickou 0 zavedenou z výstupu, a proto na vstupech R, S prvního RST klopného obvodu nikdy nenastane současně kombinace dvou jedniček.

J	K	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	Q^t	$\overline{Q^t}$
1	0	1	0
0	1	0	1
1	1	$\overline{Q^t}$	Q^t

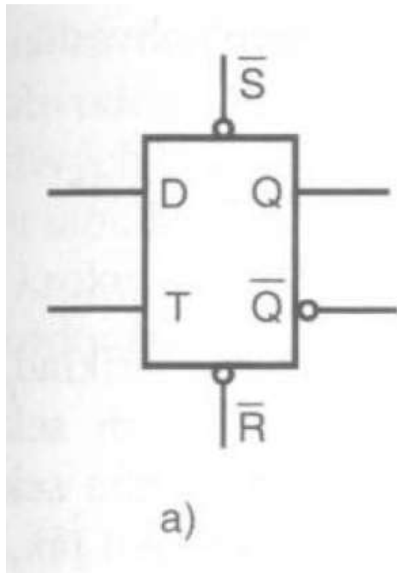
Pravdivostní tabulka JK klopného obvodu

Čelem řízený klopný obvod typu D

Předchozí obvody reagovaly na logické hodnoty vstupů celou dobu trvání logické jedničky na taktovacím vstupu.

Existují obvody typu D, které lze ovlivnit pouze hodnotami na vstupech v době změny stavu logické hodnoty na taktovacím vstupu tj změny z logické nuly na logickou jedničku. Obvod je řízen náběžnou hranou taktovacího pulzu.

obsahují dvojici *asynchronních vstupů* $\bar{S}$ a $\bar{R}$ $\longrightarrow$ ty ovlivňují obvod nezávisle na taktovacím signálu T

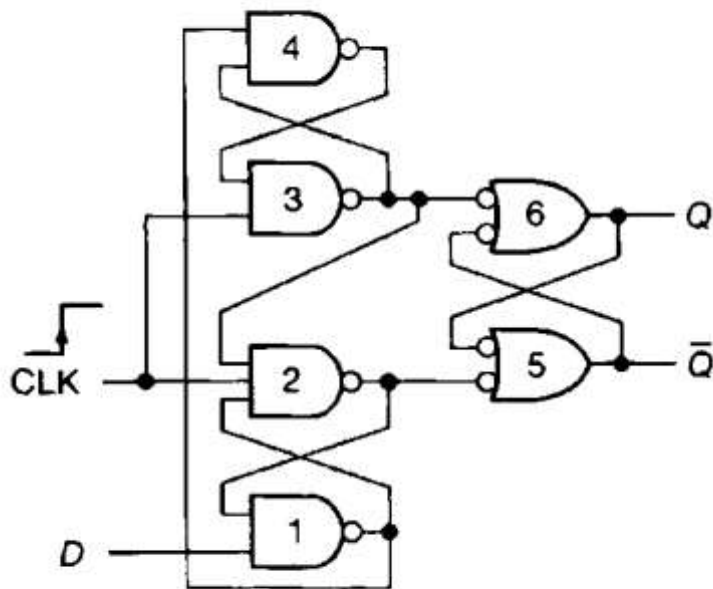


vstupy				výstupy	
$\bar{S}$	$\bar{R}$	T	D	Q	$\bar{Q}$
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	(1)	(1)
1	1	↑	1	1	0
1	1	↑	0	0	1

b)

Klopný obvod typu D 7474 a) schematická značka,
b) funkční tabulka

Čelem řízený klopný obvod typu D

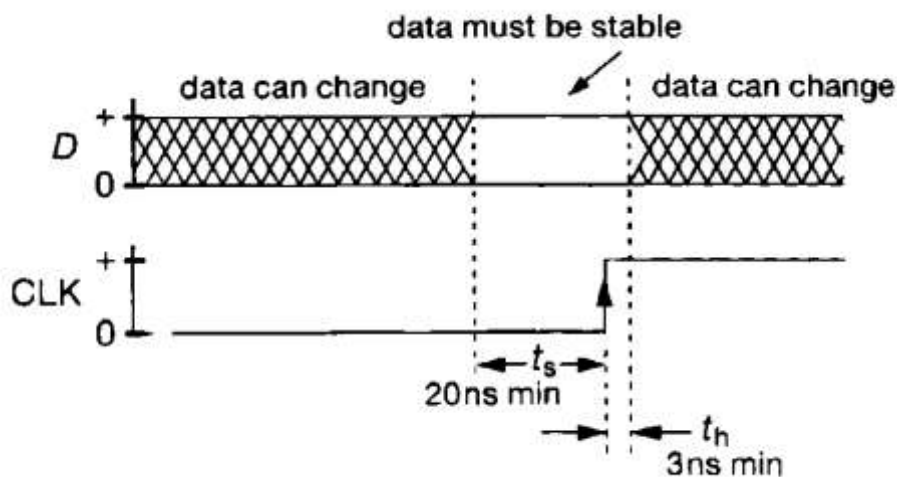


B.

positive-edge-triggered

-skutečné zapojení obvodu typu D, který je spouštěn náběžnou hranou taktovacího pulzu.

- platný signál musí být na vstupu D před náběžnou hranou taktovacího pulzu alespoň definovanou dobu t_s a nějakou definovanou dobu t_h po ustálení logické 1 na taktovacím vstupu



Literatura:

M. Antořová, V. Davídek, Číslicová technika, 2013 Kopp

Richard C. Jaeger, Travis N. Blalock, Microelectronic circuit design,
2011 by The McGraw-Hill Companies, Inc.

P. Horowitz, W. Hill, The art of Electronics, Third edition, Cambridge University Press,
1980, 1989, 2015.

Donald A. Neamen, Microelectronics Circuit Analysis and Design, Published by
McGraw-Hill (2010).