

Číslicové obvody

-kombinační obvody

jejich stav na výstupu závisí pouze na stavu na vstupu

-sekvenční obvody

stav na jejich výstupu závisí na stavu na vstupu, ale i na předchozím stavu (mají paměť)

Booleova algebra

Výroková logika zná pouze dvě pravdivostní hodnoty “pravdivý” a “nepravdivý”, kterým přiřazujeme logické hodnoty “1” a “0”

“pravdivý” = “1” ; “nepravdivý” = “0”

digitální stav - definujeme dva digitální stavy “0” a “1”,
“0” logická 0, “1” logická 1 , další stav nemůže nastat

kladná logika:

stav “0” tedy logická 0 označujeme stav “LOW” tedy “L” a bude znamenat

stav “ nepravdivý výrok“ podle Booleovy algebry

stav “1” tedy logická 1 označujeme stav “HIGH” tedy “H” a bude znamenat

stav “pravdivý výrok” podle Booleovy algebry

dále stavy “1” a “0” mohou vyjádřit číslo ve dvojkové soustavě

Základní logické členy

Logický člen je základní logický obvod, který má alespoň jeden vstup a jeden výstup a který transformuje vstupní dvouhodnotový logický signál podle určité elementární logické funkce. Logické členy můžeme dělit podle různých hledisek, nejčastěji:

podle realizované logické funkce

- kombinační
- sekvenční

podle schopnosti zesilovat signál

- pasivní
- aktivní

podle druhu signálu, který je nositelem logické informace

- elektromechanické (signál je napětí nebo proud a následně síla - relé)
- elektrické (signálem je napětí nebo proud)
- optoelektrické (signálem je světelný tok a následně elektrické napětí nebo proud)
- pneumatické (signálem je mechanický tlak)

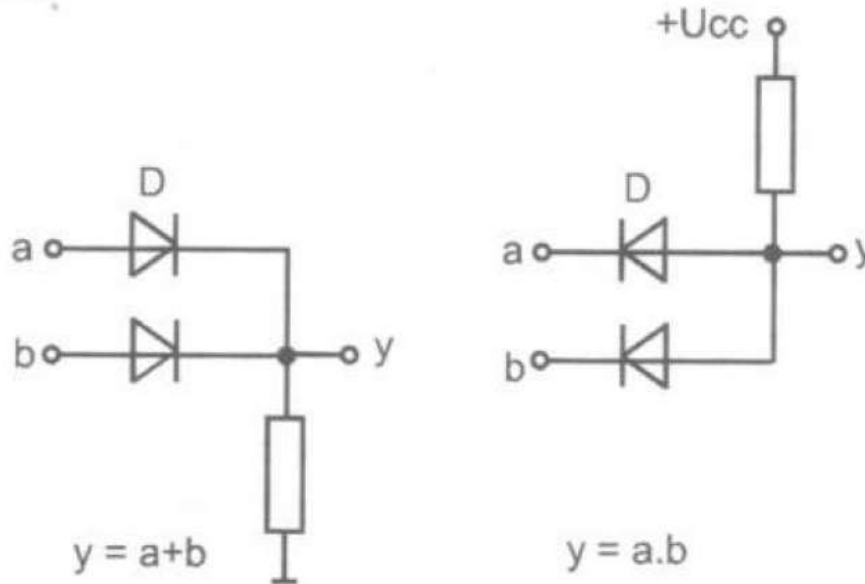
podle použité součástkové základny

- elektromechanické - logická funkce je realizována pomocí relé a jejich kontaktů. Používají se velmi zřídka, pocházejí z dob před vznikem polovodičů. Základní logické funkce jsou realizovány následovně:
 - inverze (negace) - pomocí rozpojovacích kontaktů
 - logický součin (konjunkce) - pomocí kontaktů zapojených do série
 - logický součet (disjunkce) - pomocí kontaktů zapojených paralelně
- diodové - logická funkce je realizována pomocí spínacích diod a omezovacích rezistorů
- tranzistorové - logická funkce je realizována pomocí tranzistorů a dalších obvodových prvků (diody, rezistory)
- integrované - logická funkce je realizována pomocí integrovaných obvodů, tyto obvody jsou v současnosti nejpoužívanější a nejperspektivnější. Existují integrované obvody realizované s různou hustotou integrace, např. SSI (Small Scale Integration) zahrnuje obvody s nízkou hustotou integrace jako hradla NAND, NOR, XOR a další. Střední hustota integrace MSI (Medium Scale Integration) zahrnuje obvody jako čítače, posuvné registry, dekodéry apod.

Logické úrovně jsou vždy spojeny s určitými konkrétními realizačními obvody. Je-li oblast napěťových úrovní odpovídajících logické jedničce větší než oblast hodnot napětí pro logickou nulu, jedná se o tzv. *pozitivní logiku*, jsou-li naopak napěťové úrovně pro logickou nulu větší než pro logickou jedničku, jedná se o tzv. *negativní logiku*.

Základní logické členy můžeme v rámci jednotlivých technologií rozdělit podle toho, z jakých obvodových prvků jsou vyrobeny:

- **DL** (diodová logika) - jako spínací prvky jsou používány diody a omezovací rezistory. Dioda propouští proud, je-li na její anodě vyšší kladné napětí oproti katodě (o 0,6 - 0,7 V pro Si diodu). V tomto stavu se chová jako sepnutý spínač, v opačném případě je mezi anodou a katodou maximální odpor. Logické obvody sestavené z rezistorů a polovodičových diod jsou znázorněny na obr. 5.1.



- nelze realizovat invertor
- Jsou to pasivní prvky
- pracují v širokých mezích logické jedničky daných pouze závěrným napětím diody a její výkonovou ztrátou

- **DTL** (diodově tranzistorová logika) - tento typ logiky používá jako aktivní prvek tranzistor, který v logických členech pracuje ve funkci spínače. Tranzistor je buď zcela uzavřen a proud jím téměř neprochází, nebo je otevřen a proud jím procházející je omezen pouze velikostí vnějších impedancí.
- **RTL** (rezistorově tranzistorová logika)
- **TTL** (tranzistorově tranzistorová logika) - je velmi rozšířená
- **CMOS** (komplementární MOS technologie). Tato logika využívá unipolární tranzistory, tj. tranzistory řízené elektrickým polem. Je rovněž velmi rozšířená, vyrábí se i obvody, které jsou kompatibilní s TTL. Více se o této logice zmíníme v jedné z dalších částí.
- **ECL** (emitorově vázaná logika) - tento typ logiky se používá pro velmi rychlé číslicové obvody, velmi rychlé paměti apod.

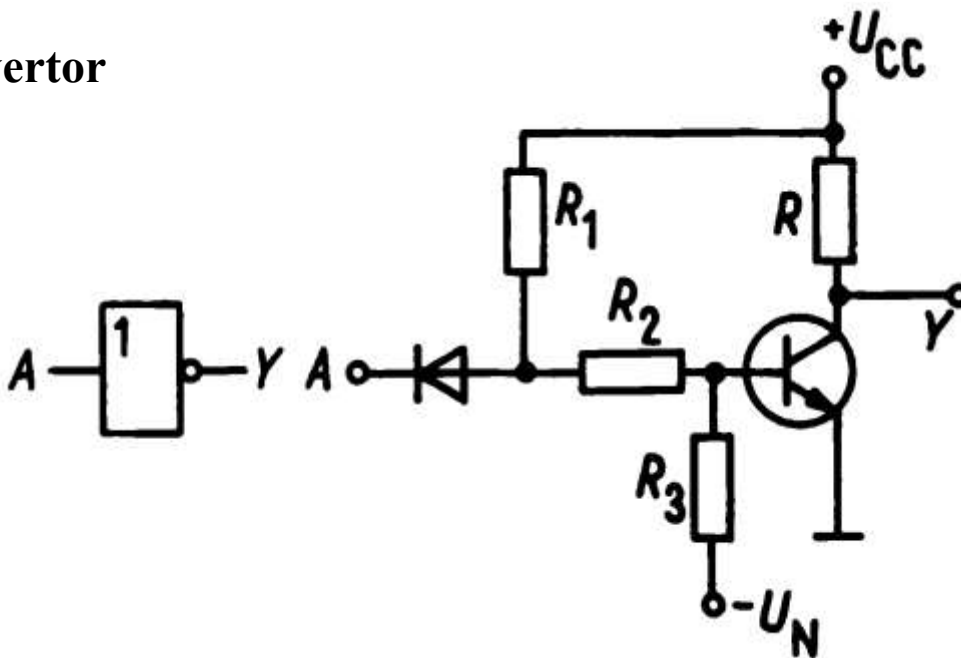
Logika pracující se dvěma stavy “0” a “1” je lehce přenositelná do elektrických obvodů. Dva stavy přísluší stavům “vypnuto” a “zapnuto”.

Fyzikálně to může být vypnutý a zapnutý mechanický spínač, relé, tranzistor.

Příklad invertoru s tranzistorem tedy obvodu, který mění stav “0” na stav “1” a naopak:

A	$Y = \bar{A}$
0	1
1	0

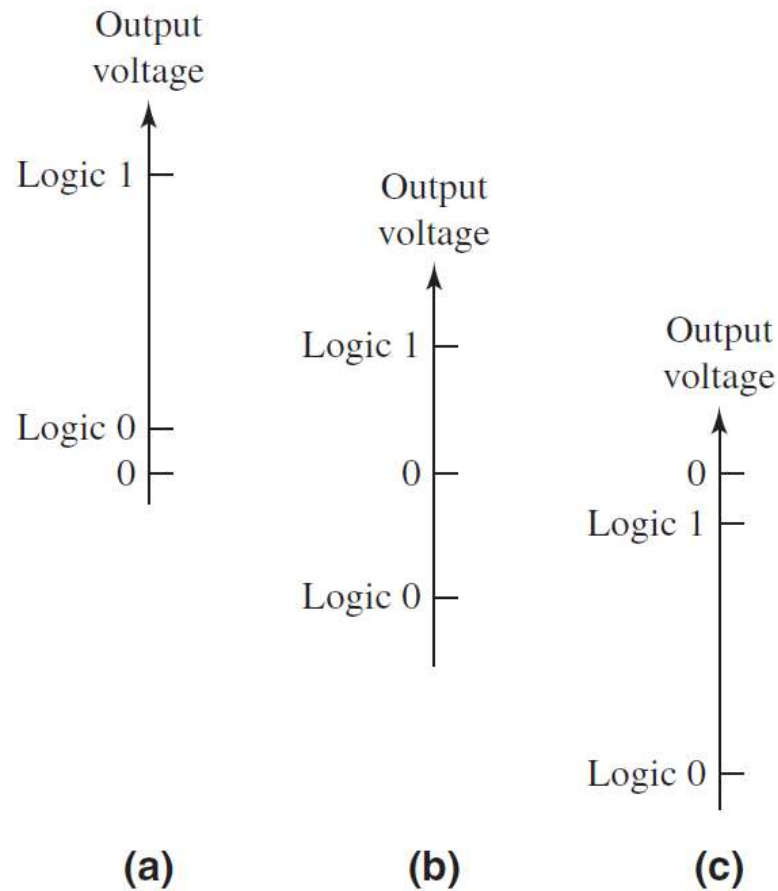
Invertor



Pravdivostní tabulka, schematická značka a elektrické zapojení invertoru.

Používáme tedy ***kladnou logiku*** což znamená, že vždy definované kladnější napětí znamená stav “H” a zápornější napětí znamená stav “L”

Mohou nastat tři různé případy a nejčastěji se používá případ a)



Tři různé kombinace výstupních úrovní kladné logiky

V digitálních obvodech různých typů (CMOS, TTL, atd) jsou jiné definované rozsahy napětí na vstupech a výstupech logických obvodů, které definují úroveň napětí pro “H” a “L”

Např v obvodech TTL jsou hodnoty úrovní logických stavů definovány takto:

- a) vstup obvodu: 0-0.8V stav “L”
vstup obvodu 2-5 V stav “H”
- b) výstup obvodu 0-0.4 V stav “L”
výstup obvodu 2.4-5 V stav “H”

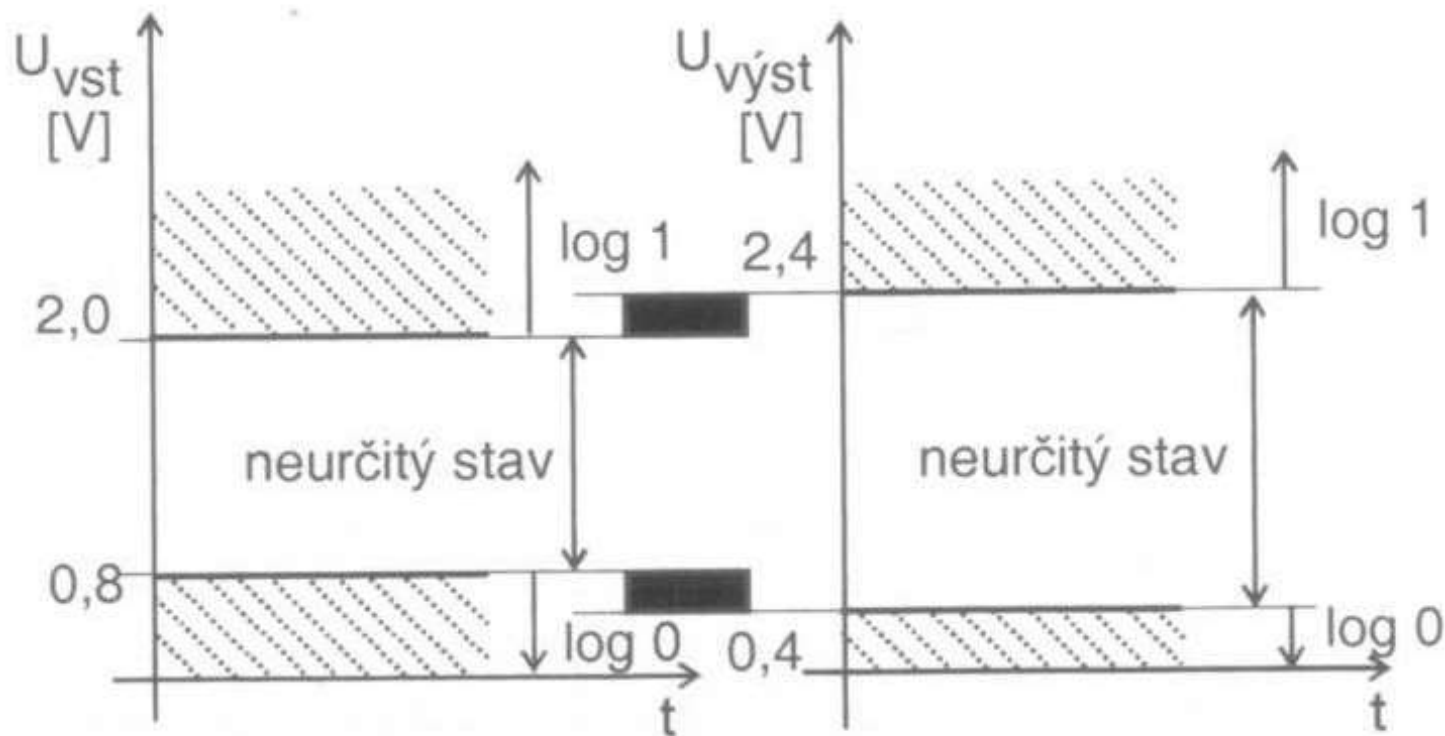
Hodnoty na vstupech

→ **Šumová imunita** logické úrovně “L” je 0.4 V a logické úrovně “H” je 0.4 V.

TTL logika

na vstupu: log 1 napětí $U_{IH} \geq 2 \text{ V}$
log 0 napětí $U_{IL} \leq 0,8 \text{ V}$

na výstupu: log 1 napětí $U_{OH} \geq 2,4 \text{ V}$
log 0 napětí $U_{OL} \leq 0,4 \text{ V}$.



Tolerance napěťových úrovní pro TTL logiku

Šumová imunita:

Budeme značit V_{OH} ideální (největší) úroveň “H”

V_{OL} ideální (nejmenší) úroveň “L”

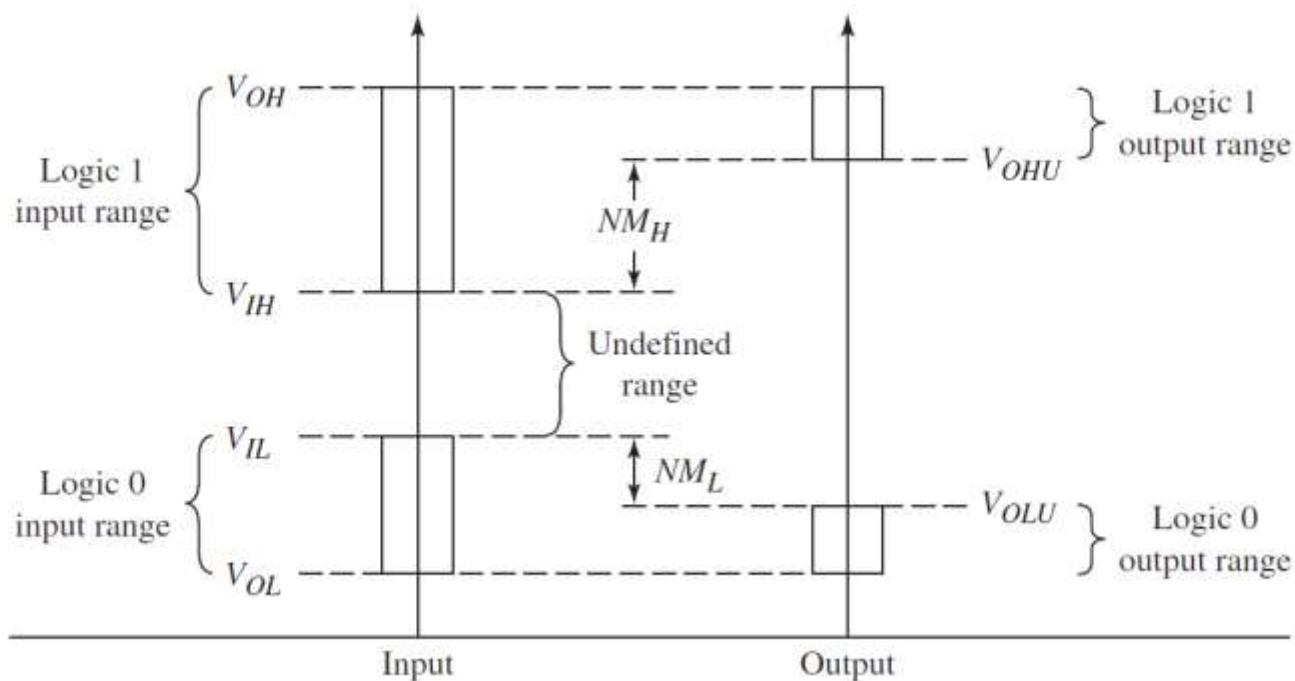
V_{IH} minimální napětí na vstupu, který obvod interpretuje jako stav “H”

V_{IL} maximální napětí na vstupu, který obvod interpretuje jako stav “L”

V_{OHU} minimální napětí na výstupu, který obvod interpretuje jako stav “H”

V_{OLU} maximální napětí na výstupu, který obvod interpretuje jako stav “L”

NM_H a NM_L šumová imunita logického obvodu úrovně “H” a “L”



Logické obvody mají vždy definované určité rozmezí hodnot napětí pro logickou 0 i pro logickou 1. Tato tolerance hodnot je velmi důležitá, aby se logické obvody mohly vůbec vzájemně spojovat. Tak například pro řadu logických obvodů TTL je definováno, že stavu logické 1 odpovídá na výstupu napětí v rozsahu 2,4 až 5 V a stavu logické 0 napětí v rozmezí 0 až 0,4 V. Rovněž je definováno, že vstup musí za logickou 1 považovat jakoukoli hodnotu v rozmezí 2,0 až 5,5 V a za logickou 0 jakoukoli hodnotu v rozsahu 0 až 0,8 V. V katalogu obvodů TTL najdeme tyto úrovně definované pomocí následujících hodnot:

na vstupu: log 1 napětí $U_{IH} \geq 2 \text{ V}$
 log 0 napětí $U_{IL} \leq 0,8 \text{ V}$

na výstupu: log 1 napětí $U_{OH} \geq 2,4 \text{ V}$
 log 0 napětí $U_{OL} \leq 0,4 \text{ V}$.

Význam jednotlivých katalogových značení napětí je:

U_{IH} vstupní napětí v logické 1 (Input High), U_{IL} vstupní napětí v logické 0 (Input Low), U_{OH} výstupní napětí v logické 1 (Output High), U_{OL} výstupní napětí v logické 0 (Output Low).

Logický zisk N

Jedním ze základních požadavků na logické členy bývá možnost spolehlivého a snadného navázání vstupů jedněch logických členů na výstupy jiných. Předpokládáme přitom, že jeden výstup je schopen budit větší množství vstupů následujících členů, aniž by byly překročeny hodnoty napěťových úrovní pro log 1 a pro log 0. Číslo udávající maximální počet vstupů stejné technologie, které můžeme zapojit na výstup logického členu při zachování logických úrovní, se nazývá *logický zisk* (z angl. fan out - výstupní větvení) nebo také *logická zatížitelnost*, značí se N .

U standardních TTL logických obvodů je $N=10$, u TTL obvodů řady LS a ALS, které mají nižší vstupní proudy je $N=20$ a u výkonových logických obvodů $N=30$. Je třeba si uvědomit, že logické obvody nemůžeme zatěžovat bez omezení!

Dynamické parametry logických obvodů

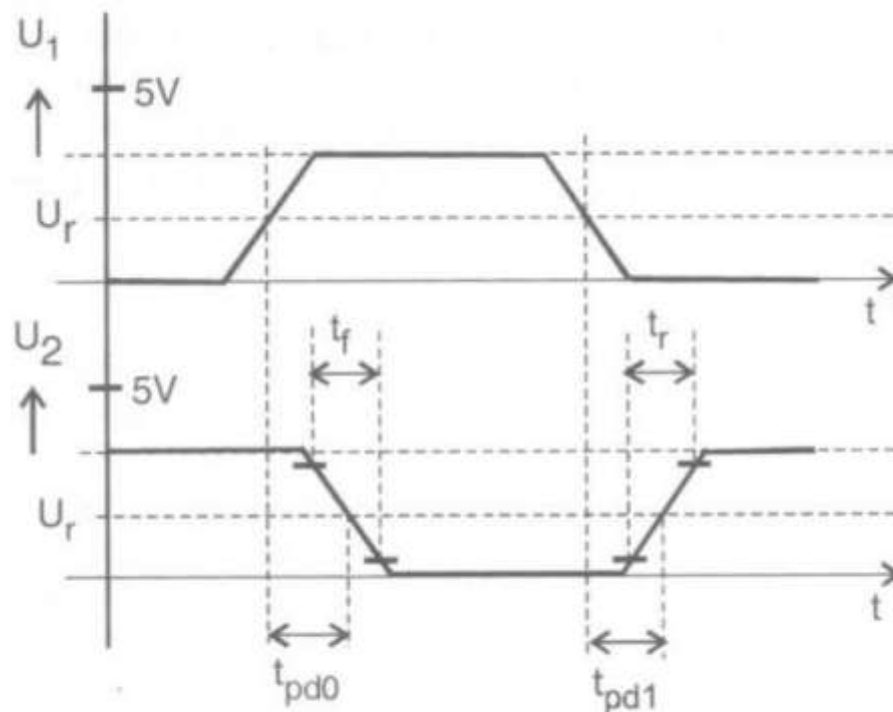
t_r (rise time)

t_f (fall time)

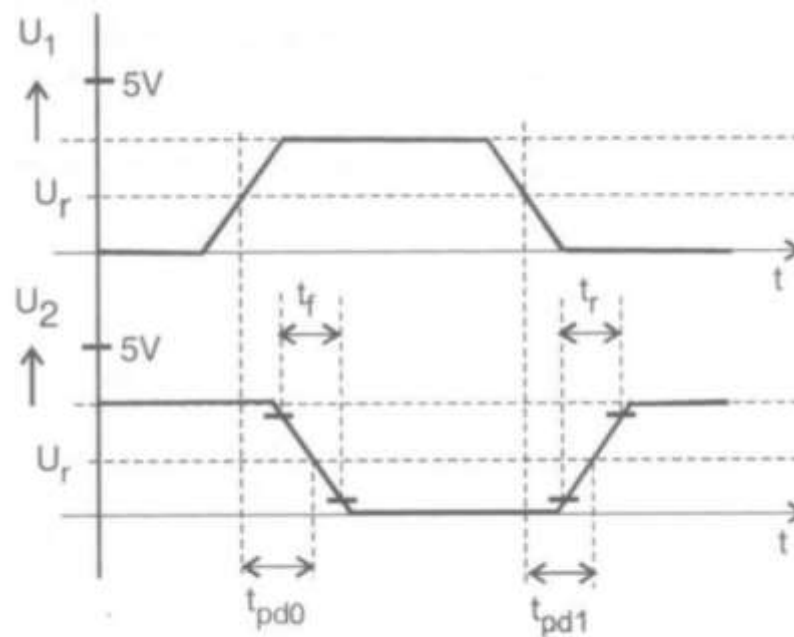
Náběžná (vzestupná) *hrana* t_r je doba, za kterou stoupne signál z 10 % na 90 % své maximální hodnoty.

Sestupná (týlová) *hrana* t_f je doba, za kterou poklesne signál z 90 % na 10 % své maximální hodnoty.

U_r – rozhodovací úroveň
obvodu přechodu z úrovně $0 \rightarrow 1$
a $1 \rightarrow 0$



Časové průběhy na svorkách hradla



Časové průběhy na svorkách hradla

Doba t_{pd0} představuje dobu přechodu (zpoždění) obvodu při změně výstupní úrovně ze stavu logická 1 do stavu logická 0 a t_{pd1} naopak, tj. dobu přechodu obvodu při změně výstupu ze stavu logická 0 do stavu logická 1.

Charakteristické zpoždění určité typové řady logických obvodů je pak udáváno jako průměrná hodnota, tj.

$$t_{pd} = \frac{t_{pd0} + t_{pd1}}{2}.$$

Pro obvody TTL je $U_r = 1,5 \text{ V}$, pro obvody CMOS závisí U_r na napájecím napětí. Podmínky stanovení dynamických parametrů najdeme v katalogu.

Frekvenční poměry

Maximální pracovní kmitočet $f_{\max}$ je nejvyšší možný kmitočet, který je logický obvod ještě schopen zpracovat a reagovat na něj, aniž by došlo k výpadkům signálů nebo k poklesu výstupních úrovní. Jeho hodnota úzce souvisí se zpožděním logického členu a se strmostí jeho náběžné a týlové hrany signálu. Pro vyšší kmitočty již obvody neumějí signál reprodukovat. Tak např. pro obvody TTL standard je maximální frekvence kolem 10 MHz.

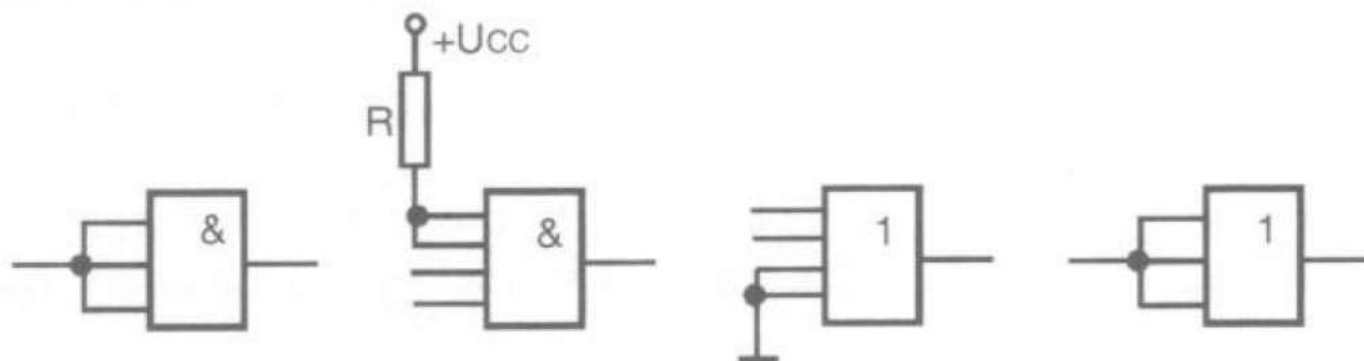
Energetické poměry logických členů

Přípustný rozptyl napájecích napětí souvisí především s výrobní technologií. Pro TTL logické obvody je přípustná jen velmi malá změna napájecího napětí $\pm 5\% U_{cc}$. Technologie CMOS připouští velké změny U_{cc} v rozsahu, např. 3 až 18 V. Pro odběr energie často platí, že čím má logický obvod větší odběr, tím je menší zpoždění v logické síti. Příkladem mohou být logické obvody Schottky TTL, které mají průměrné zpoždění $t_{pd} \approx 3$ ns, ale typický příkon na hradlo mají 18 mW.

Připojení nepoužitých vstupů

Při realizaci logických obvodů se často stává, že pokaždé nezapojíme všechny vstupy logických členů. Nezapojené vstupy musíme proto ošetřit, aby přes ně nedocházelo k rušení funkce obvodu parazitními signály, tzn. neponecháváme je nezapojené.

Obecně platí, že nepoužité vstupy členů realizujících logický součin (AND, NAND) připojujeme na logickou jedničku přes vhodný rezistor, výrobci doporučují $R \cong 1 \text{ k}\Omega$. Nepoužité vstupy členů, realizujících logický součet (OR, NOR) se připojují na logickou nulu.



Literatura:

M. Antošová, V. Davídek, Číslicová technika, 2013 Kopp

Richard C. Jaeger, Travis N. Blalock, Microelectronic circuit design,
2011 by The McGraw-Hill Companies, Inc.

P. Horowitz, W. Hill, The art of Electronics, Third edition, Cambridge University Press,
1980, 1989, 2015.

Donald A. Neamen, Microelectronics Circuit Analysis and Design, Published by
McGraw-Hill (2010).